

KOREAN PATENT ABSTRACTS

(11)Publication number: **1020010001362 A**  
(43)Date of publication of application: **05.01.2001**

(21)Application number: **1019990020515**  
(22)Date of filing: **03.06.1999**  
(30)Priority: **..**

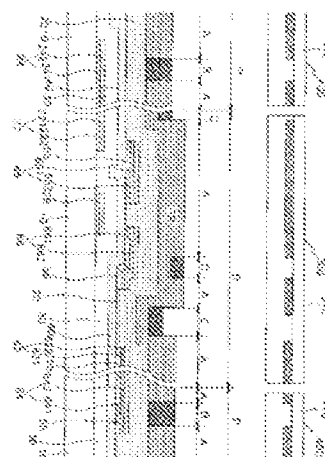
(71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**  
(72)Inventor: **PARK, UN YONG  
YOON, JONG SU**

(51)Int. Cl: **H01L 29/786**

**(54) METHOD FOR MANUFACTURING A SUBSTRATE OF A THIN FILM TRANSISTOR FOR LIQUID CRYSTAL DISPLAY**

**(57) Abstract:**

**PURPOSE:** A method for manufacturing a substrate of a thin film transistor for liquid crystal display is provided to reduce a manufacturing cost and increase yield, by decreasing the number of manufacturing processes. **CONSTITUTION:** A gate interconnection including a gate line, a gate electrode and a gate pad is formed on a substrate by using the first photo mask. A gate insulating layer, a semiconductor layer, a contact layer, the first data metal layer and the second data metal layer are consecutively deposited on the gate interconnection and substrate. The second and first data metal layers are etched by using the second photo mask to form a data interconnection including a data line, source and drain electrodes. The



contact layer is etched by using the data interconnection as a mask to form a contact layer pattern identical to the data interconnection. A passivation layer covering the semiconductor layer and data interconnection is deposited. A photoresist layer is applied on the passivation layer. Exposure and development are performed regarding the photoresist layer using the third photo mask, and a photoresist layer pattern having partially different heights is formed. The first, second and third contact windows respectively exposing a part of the first data metal layer of the drain electrode, a part of the first data metal layer of the data pad and a part of the gate pad are formed. A pixel electrode connected to the drain electrode through the first contact window is formed by using the fourth photo mask.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (20040603)  
Notification date of refusal decision ( )  
Final disposal of an application (registration)  
Date of final disposal of an application (20051219)  
Patent registration number (1005430420000)  
Date of registration (20060106)  
Number of opposition against the grant of a patent ( )  
Date of opposition against the grant of a patent ( )  
Number of trial against decision to refuse ( )  
Date of requesting trial against decision to refuse ( )  
Date of extinction of right ( )

# (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H01L 29/786

(11) 공개번호

특2001-0001362

(43) 공개일자

2001년01월05일

(21) 출원번호 10-1999-0020515

(22) 출원일자 1999년05월03일

(71) 출원인 삼성전자 주식회사, 유종웅  
대한민국  
442-373  
경기도 수원시 팔달구 매현3동 416

(72) 발명자 박종홍  
대한민국  
442-371  
경기도수원시팔달구매현1동주공5단지아파트521동1107호  
유종수  
대한민국  
330-060  
충청남도천안시구성동473-15

(74) 대리인 양원홍  
김원준

(77) 심사청구 없음

(54) 출원명 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법

### 요약

화면 표시부와 주변부를 포함하는 기판 위에 화면 표시부의 게이트선 및 게이트 전극과 주변부의 게이트 패드를 포함하는 게이트 배선을 ITO 또는 IZO와의 접촉 특성이 좋은 하부 금속막과 저저항 상부 금속막의 이중막 구조로 형성하고, 게이트 절연막, 반도체층, 접촉층을 연속 증착한다. 이어, ITO 또는 IZO와의 접촉 특성이 좋은 하부 데이터 금속막과 저저항 상부 데이터 금속막을 연속 증착한 다음, 상부 및 하부 데이터 금속막과 접촉층을 패턴화하여 화면 표시부의 데이터선 및 소스/드레인 전극과 주변부의 데이터 패드를 포함하는 데이터 배선, 그리고 그 하부의 접촉층 패턴을 형성한다. 보호막을 증착한 후, 그 위에 감광막을 도포한 다음에, 화면 표시부의 투과홀과 주변부의 투과홀이 다른 하나 이상의 마스크를 이용하여 감광막을 노광/현상하여 부분에 따라 두께가 다른 감광막 패턴을 형성한다. 여기에서 화면 표시부의 감광막 패턴은 두께가 얇은 부분과 두꺼운 부분으로 이루어지며, 주변부의 감광막 패턴을 두께가 두꺼운 부분과 얇은 부분으로 이루어진다. 건식 식각 방법을 사용하여, 주변부에서는 감광막이 얇은 부분, 즉 게이트 패드 위의 보호막, 반도체층, 게이트 절연막과 데이터 패드 위의 보호막을 제거함과 동시에 화면 표시부에서는 감광막이 두꺼운 부분, 즉 드레인 전극 일부를 제외한 데이터 배선을 덮는 부분과 소스 및 드레인 전극 사이를 덮는 부분의 보호막을 남겨두고 나머지 부분의 얇은 감광막과 그 하부의 보호막 및 반도체층을 제거한다. 이어, 건식 또는 습식 식각 방법으로, 드레인 전극의 상부 데이터 금속막, 데이터 패드의 상부 데이터 금속막 및 게이트 패드의 상부 금속막을 제거한다. 마지막으로, ITO 또는 IZO로 화소 전극과 보조 게이트 패드 및 보조 데이터 패드를 형성한다.

### 도면도

#### 도 3a

#### 색인어

4매 마스크, 감광막, 저저항 배선, IZO, ITO, 건식, 습식 식각, 액정

#### 영세서

#### 도면의 간단한 설명

도 1은 본 발명의 실시예에 따라 액정 표시 장치용 박막 트랜지스터 기판을 제조하기 위한 기판을 영역을 구분하여 도시한 도면이고,  
도 2는 본 발명의 실시예에 따라 하나의 액정 표시 장치용 박막 트랜지스터 기판의 형성된 소자 및 배선을 개략적으로 도시한 배치도이고,  
도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도로서, 도 2에서 하나의 화소와 패드들을 중심으로 확대한 도면이고,  
도 4 및 도 5는 도 3에 도시한 박막 트랜지스터 기판을 IV-IV' 선 및 V-V'선을 따라 잘라 도시한 단면도이고,  
도 6a는 본 발명의 제1 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,  
도 6b 및 6c는 각각 도 4a에서 IVb-IVb' 선 및 IVc-IVc' 선을 따라 잘라 도시한 단면도이고,

도 7a는 도 6a 내지 6c 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,  
 도 7b 및 7c는 각각 도 7a에서  $V_{b1}$ - $V_{b1}'$  선 및  $V_{b1c}$ - $V_{b1c}'$  선을 따라 잘라 도시한 단면도이고,  
 도 8a는 도 7a 내지 7c 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,  
 도 8b 및 8c는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도이고,  
 도 9a 및 9b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 8b 및 도 8c의 구조를 완성하기 위한 구체적인 공정의 첫 단계에서의 단면도이고,  
 도 10a 및 10b, 도 11a 및 11b와 도 12은 각각 도 8a 내지 8c의 단계에서 사용되는 광마스크의 구조를 도시한 단면도이고,  
 도 13a 및 13b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 9a 및 도 9b 다음 단계에서의 단면도이며,  
 도 14a 및 14b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 13a 및 도 13a 다음 단계에서의 단면도이고,  
 도 15a 및 15b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 14a 및 도 14a 다음 단계에서의 단면도이고,  
 도 16a 및 16b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 15a 및 도 15a 다음 단계에서의 단면도이고,  
 도 17a 및 17b는 각각 도 8a에서  $V_{b2}$ - $V_{b2}'$  선 및  $V_{b2c}$ - $V_{b2c}'$  선을 따라 잘라 도시한 단면도로서, 도 16a 및 도 16a 다음 단계에서의 단면도이고,  
 도 18 내지 도 23은 본 발명의 제2 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이고,  
 도 24 내지 도 29는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법에 관한 것이다.

일반적으로 액정 표시 장치는 두 장의 기판으로 이루어지며, 이 기판 중 하나 또는 양쪽 모두에 전기장을 발생시키는 두 종류의 전극이 형성되어 이들 전극에 인가되는 전압을 조절함으로써 화상을 표시하는 장치이다.

두 장의 기판 중에서 액정 표시 장치를 박막트랜지스터 기판은 본 발명자의 대한민국 특허출원 제95-189호에서와 같이, 기판 위에 형성되어 있는 박막 트랜지스터와 이에 의하여 제어되는 화소 전극을 기본 구조로 한다.

이 특허출원에서와 같이 박막 트랜지스터 기판은 여러 층에 걸친 박막의 성막 및 사진 식각 공정을 통하여 제조한다. 제95-189호에서의 사진 식각 공정은 감광막을 두 부분, 즉 빛에 조사되는 부분과 그렇지 아니한 부분으로 나누어 노광시킨 후 현상하는 일반적인 방법으로 실시하기 때문에, 감광막이 이에 없거나 일정한 두께로 존재하며, 이에 따라 식각 깊어도 일정하다. 따라서, 사진 식각 공정을 다수회 실시하여야 한다. 사진 식각 공정을 줄여 제조 원가를 낮추기 위하여 4장의 마스크를 이용하여 박막 트랜지스터를 제조하는 방법이 A TFT Manufactured by 4 Masks Process with New Photolithography (Chang Wook Han 등, Proceedings of The 18th International Display Research Conference Asia Display 98, pp. 1109-1112, 1998, 9.28-10.1)(이하 '아시아 디스플레이'라 함)에 기재되어 있다. '아시아 디스플레이'에는 특정 부분에만 그리드(grid)가 있는 마스크를 써서 양의 감광막을 노광함으로써, 그리드 부분으로 조사되는 빛이 양을 줄여 다른 부분보다 두께가 작은 부분이 있는 감광막 패턴을 형성하는 기술이 기재되어 있다. 이러한 상태에서 식각을 하면 감광막 하부막층의 식각 깊이를 부분적으로 달리할 수 있다. 따라서, 마스크 수를 적게 사용하는 것이 가능하다. 그러나, 그리드 마스크로서 처리할 수 있는 영역이 한정되어 있어 광범위한 영역을 처리할 수 없거나, 실시할 수 있다 하더라도 전체적으로 균일한 식각 깊이를 갖도록 처리하는 데는 어려움이 있다. 또한, 미국특허 제4,231,511호, 제5,618,643호, 제4,415,262호 및 일본특허공개공보 소호61-181130호 등에도 그리드 광마스크를 이용하여 노광하거나, 광마스크의 차단층 두께를 조절하여 투과율을 다르게 함으로써 형성된 감광막의 두께차를 이용하는 이른 후입 및 박막 식각 방법 등이 공지되어 있으나 이들 또한 동일한 문제점을 가지고 있다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치를 박막 트랜지스터 기판의 제조에 사용되는 마스크 수를 줄여 제조 원가를 낮추는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 넓은 면적을 서로 다른 길이로 식각하면서도 하나의 식각 깊이에 대해서는 균일한 식각 깊이를 갖도록 하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 배선을 저저항 금속막을 포함하는 이중막으로 사용하여 배선 특성을 향상시킴과 동시에, 패턴부에서는 마스크의 추가없이 저저항 금속막을 제거하여 패턴부 특성을 향상시키는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는 절속향 부분에서의 단차를 완화하고 막 간의 언더 컷을 방지하여 절속 불량을 방지하는 것이다.

### 발명의 구성 및 작용

본 발명은 위와 같은 과제를 해결하기 위하여, 게이트 패턴을 포함하는 게이트 배선 또는 데이터 패턴 및 드레인 전극을 포함하는 데이터 배선을 전극 특성이 높은 하부 금속막과 저저항인 상부 금속막의 이중막으로 형성하고, (1)의 사진 식각 공정을 통해 형성된 부분적으로 두께가 다른 감광막 패턴을 이용하여 게이트 패턴의 하부막, 데이터 패턴 및 드레인 전극의 하부막을 각각 드러내는 절속공을 형성한다. 본 발명의 실시예에 따른 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법에서는, 기판 위에 제1 광마스크를 사용하여 게이트선, 게이트 전극 및 게이트 패턴을 포함하는 게이트 배선을 형성하고, 게이트 배선 및 기판 위에 게이트 절연막, 반도체층, 절속층, 제1 데이터 금속막 및 제2 데이터 금속막을 연속하여 증착한 다음, 제2 광마스크를 사용하여 제2 및 제1 데이터 금속막을 식각하여 데이터선 및 소스 및 드레인 전극을 포함하는 데이터 배선을 형성한다. 다음, 데이터 배선을 마스크로 하여 절속층을 식각하여 데이터 배선과 동일한 패턴의 절속층 패턴을

형성하고, 그 위에 반도체층과 데이터 배선층을 형성하고 절연막을 형성한다. 다음, 보호막 위에 전방막을 도포하고, 제3 광마스크를 사용하여 전방막을 노광 및 현상하여, 후면에 따라 불이 나도록 전방막 패턴을 형성한다. 이 전방막 패턴을 이용하여, 보호막, 드레인 전극의 제2 데이터 금속막 일부, 데이터 패턴의 제2 데이터 금속막 일부, 반도체층 및 게이트 절연막을 식각하여, 드레인 전극의 제1 데이터 금속막 일부, 데이터 패턴의 제1 데이터 금속막 일부 및 게이트 패턴 일부를 각각 드러내고 제1 내지 제3 접촉창을 형성하고 동시에 반도체 패턴을 형성한다. 이후, 감광막 패턴을 제거하고, 제4 광마스크를 사용하여, 제1 내지 제3 접촉창을 통해 드러난 전극, 데이터 패턴의 제1 금속막 및 게이트 패턴의 각과 연결되는 최소 전극, 데이터 패턴 도전 패턴 및 게이트 패턴 도전 패턴을 포함하는 투명 도전 패턴을 형성한다.

이때, 제2 데이터 금속막은 알루미늄 또는 알루미늄 합금막으로 형성하고, 제1 데이터 금속막은 티타늄, 몰리브덴 또는 몰리브덴 합금막으로 형성할 수 있다.

또한, 게이트 배선층 하부의 제1 게이트 금속막 및 상부의 제2 게이트 금속막으로 형성하는 것이 가능한데, 이때, 드레인 전극의 제2 데이터 금속막과 데이터 패턴의 제2 데이터 금속막을 식각하는 단계에서 게이트 패턴의 제2 게이트 금속막의 일부를 제거하는 것이 바람직하다. 제2 게이트 금속막은 알루미늄 또는 알루미늄 합금막을 사용하고, 제1 게이트 금속막은 티타늄, 몰리브덴 또는 몰리브덴 합금막으로 사용할 수 있다.

게이트 패턴의 제1 게이트 금속막, 드레인 전극의 제1 데이터 금속막, 데이터 패턴의 제1 데이터 금속막과 직접 접촉하는 투명 도전 패턴은 ITO 또는 IZO로 형성할 수 있다.

또한, 게이트 패턴 및 데이터 패턴 상부의 보호막, 보호막 하부의 반도체층 및 게이트 절연막을 식각하여, 게이트 패턴 및 데이터 패턴을 드러내고, 감광막을 일정한 두께를 제거하여 드러난 전극 상부의 보호막 및 연결된 두 개의 데이터선 사이의 보호막을 드러낸 다음, 드러난 보호막 및 보호막 하부의 반도체층을 식각하여, 드러난 전극을 드러내고 동시에 반도체 패턴을 형성하고, 드러난 게이트 패턴의 제2 게이트 금속막, 드러난 드레인 전극의 제2 데이터 금속막 및 드러난 데이터 패턴의 제2 데이터 금속막을 식각하여 제1 내지 제3 접촉창을 형성할 수 있다.

또한, 게이트 패턴 일부 및 드러난 전극 일부 및 데이터 패턴 상부의 보호막, 그리고 보호막 하부의 반도체층 및 게이트 절연막을 식각하여 게이트 패턴, 드러난 전극 및 데이터 패턴을 각각 드러내고, 드러난 게이트 패턴의 제2 게이트 금속막, 드러난 드레인 전극의 제2 데이터 금속막 및 드러난 데이터 패턴의 제2 데이터 금속막을 식각하여, 게이트 패턴의 제1 게이트 금속막, 드러난 전극의 제1 데이터 금속막 및 데이터 패턴의 제1 데이터 금속막을 드러낸 다음, 감광막의 일정한 두께를 제거하여 연결된 두 개의 데이터선 사이의 보호막 및 드러난 드레인 전극의 바깥쪽에 위치한 보호막을 드러내고, 이 드러난 보호막과 그 하부의 반도체층을 식각하여 드러난 전극의 제1 데이터 금속막을 드러내고 제2 접촉창을 형성하고 동시에 반도체 패턴을 형성할 수도 있다.

드러난 게이트 패턴의 제2 게이트 금속막, 드러난 드레인 전극의 제2 데이터 금속막 및 드러난 데이터 패턴의 제2 데이터 금속막을 습식 또는 건식 식각으로 식각할 수 있다.

본 발명의 다른 실시예에 따른 영상 표시 장치용 박막 트랜지스터 기판의 제조 방법은, 기판 위에 제1 광마스크를 사용하여 게이트선, 게이트 전극 및 게이트 패턴을 포함하는 게이트 배선층을 형성하고, 게이트 배선 및 기판 위에 게이트 절연막, 반도체층, 접촉층, 제1 데이터 금속막 및 제2 데이터 금속막을 연속하여 증착한 다음, 제2 광마스크를 사용하여 제2 및 제1 데이터 금속막을 식각하여 데이터선 및 소스 및 드레인 전극을 포함하는 데이터 배선층을 형성한다. 다음, 데이터 배선층 마스크로 하여 접촉층을 식각하여 데이터 배선과 동일한 패턴의 접촉층 패턴을 형성하고, 반도체층과 데이터 배선층을 덮는 감광성 보호막을 형성한 다음, 제3 광마스크를 사용하여 보호막을 노광하고 현상하여, 게이트 패턴 상부의 반도체층을 드러내며 두께를 가지고 있지 않은 제1 부분, 드레인 전극 및 데이터 패턴을 각각 드러내는 제1 및 제2 접촉창, 제1 및 제2 접촉창의 바깥 및 게이트선과 데이터선에 의해 정의되는 최소 영역에 제1 부분을 가지고 형성되어 있는 제2 부분, 그리고 제1 및 제2 부분을 제외한 나머지 부분에 제1 부분보다 두꺼운 제2 부분을 가지고 형성되어 있는 제3 부분을 포함하는 보호막 패턴을 형성한다. 이어, 제1 부분을 통해 드러난 반도체층 및 게이트 절연막을 식각하여 게이트 패턴을 드러내는 제3 접촉창을 형성하고, 제1 내지 제3 접촉창을 통해 각각 드러난 있는 드레인 전극의 제2 데이터 금속막, 데이터 패턴의 제2 데이터 금속막, 그리고 게이트 패턴의 제2 게이트 금속막을 제거한다. 제2 부분을 매칭하여 최소 영역의 반도체층을 드러내고, 제1 및 제2 접촉창의 크기를 확대한 후, 최소 영역의 드러난 반도체층을 식각하여 반도체 패턴을 형성한 다음, 제1 접촉창을 통해 드러난 전극과 전기적으로 연결되는 최소 전극을 형성한다.

이때, 최소 전극을 형성하는 단계에서, 제2 및 제3 접촉창을 통해 각각 데이터 패턴의 제1 데이터 금속막 및 게이트 패턴의 제1 게이트 금속막과 접촉하는 데이터 패턴 도전 패턴 및 게이트 패턴 도전 패턴을 형성할 수도 있으며, 보호막은 유기 절연막으로 형성하는 것이 가능하다.

그러면, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예에 대하여 첨부한 도면을 참고로 하여 상세히 설명한다.

먼저, 도 1 내지 도 5를 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1에 도시한 바와 같이, 하나의 절연 기판에 동시에 여러 개의 영상 표시 장치용 패널 영역이 만들어진다. 예를 들면, 도 1에서와 같이, 유리 기판(1) 하나에 4 개의 영상 표시 장치를 패널 영역(110, 120, 130, 140)이 만들어지며, 만들어지는 패널이 박막 트랜지스터 패널인 경우, 패널 영역(110, 120, 130, 140)은 다수의 화소로 이루어진 화면 표시부(111, 121, 131, 141)와 주변부(112, 122, 132, 142)를 포함한다. 화면 표시부(111, 121, 131, 141)에는 주로 박막 트랜지스터, 배선 및 화소 전극 등이 형성의 형태로 반복적으로 배치되어 있고, 주변부(112, 122, 132, 142)에는 구동 소자들과 연결되는 요소 즉, 패턴과 기타 정전기 보호 회로 등이 배치된다.

그런데, 이러한 영상 표시 장치를 형성할 때에는 통상 스퍼터(sputter) 노광기를 사용하며, 이 노광기를 사용할 때에는 화면 표시부(111, 121, 131, 141) 및 주변부(112, 122, 132, 142)를 여러 구역으로 나누고, 구역 별로 동일한 마스크 또는 다른 광마스크를 사용하여 박막 위에 코팅된 감광막을 노광하고, 노광한 후 기판 전체를 현상하여 감광막 패턴을 만든 후, 하부의 박막을 식각함으로써 특정 박막 패턴을 형성한다. 이러한 박막 패턴을 반복적으로 형성함으로써 영상 표시 장치용 박막 트랜지스터 기판이 완성되는 것이다.

도 2는 도 1에서 하나의 패들 영역에 형성된 액정 표시 장치용 박막 트랜지스터 기판의 배치를 개략적으로 나타낸 배치도이다.

도 2에서와 같이 선(1)으로 둘러싸인 화면 표시부에는 다수의 박막 트랜지스터(3)와 각각의 박막 트랜지스터(3)에 전기적으로 연결되어 있는 화소 전극(82)과 게이트선(22) 및 데이터선(62)을 포함하는 배선 층이 형성되어 있다. 화면 표시부 바깥의 주변부에는 게이트선(22) 끝에 연결된 게이트 패드(24)와 데이터선(62) 끝에 연결된 데이터 패드(64)가 배치되어 있고, 정전기 방전으로 인한 쇼트 파괴를 방지하기 위하여 게이트선(22) 및 데이터선(62)을 각각 전기적으로 연결하여 통전위로 만들기 위한 게이트선 단락대(shorting bar)(4) 및 데이터선 단락대(5)가 배치되어 있으며, 게이트선 단락대(4) 및 데이터선 단락대(5)는 단락대 연결부(6)를 통하여 전기적으로 연결되어 있다. 이 단락대(4, 5)는 나중에 제거되며, 이들을 제거할 때 가려울 절단하는 선이 도면 부호 20이다. 설명하지 않은 도면 부호 7은 접촉층으로서 게이트선 단락대(4) 및 데이터선 단락대(5)와 절연막(도시하지 않음)을 사이에 두고 있는 단락대 연결부(6)를 연결하기 위하여 절연막에 뚫려 있다.

도 3 내지 도 5는 도 2에서 화면 표시부의 박막 트랜지스터와 화소 전극 및 배선과 주변부의 패드들을 확대하여 도시한 것으로서, 도 3은 배치도이고, 도 4 및 도 5는 도 3에서 IV-IV' 선과 V-V' 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 가로 방향으로 뻗어 있는 주사 신호선 또는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 주사 신호를 인가 받아 게이트선(22)으로 전달하는 게이트 패드(24) 및 게이트선(22)의 일부분 박막 트랜지스터의 게이트 전극(26)을 포함하는 게이트 배선(22, 24, 26)이 형성되어 있다.

이 게이트 배선(22, 24, 26)은 단일막, 이중막 또는 삼중막으로 형성될 수도 있는데, 이중층 이상으로 형성하는 경우에는 한 층은 저항이 작은 물질로 형성하고 다른 층은 다른 물질과의 접촉 특성이 좋은 물질로 만드는 것이 바람직하다.

본 실시예에서는 이중막으로 이루어진 게이트 배선(22, 24, 26)을 예로 하여 설명한다. 즉, 게이트 배선(22, 24, 26)의 하부막(221, 241, 261)은 크롬(Cr), 몰리브덴(Mo) 또는 몰리브덴 합금 등과 같이 ITO(indium-tin-oxide) 또는 IZO(indium-zinc-oxide)와의 접촉 특성이 좋은 금속으로 형성되어 있고, 상부막(222, 242, 262)은 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같이 저저항 금속으로 형성되어 있다.

게이트 배선(22, 24, 26) 위에는 절화규소(SiN) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(22, 24, 26)을 덮고 있다.

게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 따위의 반도체로 이루어진 반도체 패턴(42, 48)이 형성되어 있으며, 반도체 패턴(42, 48) 위에는 인(P) 따위의 n형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저저항 접촉층(chmic contact layer) 패턴(55, 56, 58)이 형성되어 있다.

접촉층 패턴(55, 56, 58) 위에는 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 있는 데이터선(62), 데이터선(62)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가 받는 데이터 패드(64), 그리고 데이터선(62)의 본지인 박막 트랜지스터의 소스 전극(65)으로 이루어진 데이터선부들을 포함한다. 또한, 데이터선부(62, 64, 65)와 분리되어 있으며 게이트 전극(26)에 대하여 소스 전극(65)의 반대쪽에 위치하는 박막 트랜지스터의 드레인 전극(66)과 게이트선(22)의 위에 위치하여 형성되어 있는 유지 축전기용 도전체 패턴(68)도 포함한다. 유지 축전기용 도전체 패턴(68)은 후술할 화소 전극(82)과 연결되어 유지 축전기를 이룬다. 그러나, 화소 전극(82)과 게이트선(22)의 중첩면으로도 충분한 전기의 유지 용량을 얻을 수 있으면 유지 축전기용 도전체 패턴(68)을 형성하지 않을 수도 있다.

이항에서는 유지 축전기용 도전체 패턴(68)이 형성되어 있는 경우를 중심으로 설명하겠다.

데이터 배선(62, 64, 65, 66, 68)도 게이트 배선(22, 24, 26)과 마찬가지로 단일막, 이중막 또는 삼중막으로 형성될 수도 있는데, 본 실시예에서는 크롬(Cr), 몰리브덴(Mo) 또는 몰리브덴 합금 등과 같이 ITO 또는 IZO와의 접촉 특성이 좋은 금속으로 형성된 하부막(621, 641, 651, 661, 681)과 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같이 저저항 금속으로 형성되어 있는 상부막(622, 642, 652, 662, 682)으로 이루어진 이중막 배선을 예로 하여 설명한다. 단, 데이터 배선(62, 64, 65, 66, 68) 중 유지 축전기용 도전체 패턴(68)은 이중막 중 상부막이 제거되어 하부막(681)만이 남은 구조를 가진다.

여기에서, 접촉층 패턴(55, 56, 58)은 그 하부의 반도체 패턴(42, 48)과 그 상부의 데이터 배선(62, 64, 65, 66, 68)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(62, 64, 65, 66, 68)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 접촉층 패턴(55)은 데이터선부(62, 64, 65)와 동일하고, 드레인 전극용 접촉층 패턴(56)은 드레인 전극(66)과 동일하며, 유지 축전기용 접촉층 패턴(58)은 유지 축전기용 도전체 패턴(68)과 동일하다.

한편, 반도체 패턴(42, 48)은 데이터 배선(62, 64, 65, 66, 68) 및 접촉층 패턴(55, 56, 57)과 유사한 모양을 하고 있다. 구체적으로는, 유지 축전기용 반도체 패턴(48)은 유지 축전기용 도전체 패턴(68) 및 유지 축전기용 접촉층 패턴(58)은 동일한 모양이지만, 박막 트랜지스터용 반도체 패턴(42)은 데이터 배선 및 접촉층 패턴의 나머지 부분과 다르다. 즉, 박막 트랜지스터의 채널부에서 데이터선부(62, 64, 65), 특히 소스 전극(65)과 드레인 전극(66)이 분리되어 있고 데이터선부 종단층(55)과 드레인 전극용 접촉층 패턴(56)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(42)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 형성한다. 한편, 반도체 패턴(42)은 주변부에도 연장되어 주변부 전체에 걸쳐 형성되어 있다.

게이트선(22) 중에서 데이터선(62)과 중복되는 부분, 데이터선부(62, 64, 65), 드레인 전극(66)과 반도체 패턴(42)은 보호막(70)으로 덮여 있다.

보호막(70)에는 드레인 전극(66) 및 데이터 패드(64)를 드러내는 접촉창(71, 73)이 뚫려 있으며, 알루미늄 또는 알루미늄 합금 등으로 형성되어 있는 드레인 전극(66)의 상부막(662)과 데이터 패드(64)의 상부막(642)은 각각 제거되어, 크롬 등과 같이 접촉 특성이 좋은 각각의 하부막(661, 641)이 접촉창(71, 73)을 통해 드러나 있다. 또한, 게이트 패드(24)를 드러내는 접촉창(72)이 보호막(70), 게이트 절연막(30) 및 반도체 패턴(42)에 뚫려 있으며, 게이트 패드(24)의 상부막(242)은 제거되어 게이트 패드(24)의 하부막(241)이 접촉창(72)을 통해 드러나 있다.

또한, 보호막(70)은 절화규소나 아크릴계 따위의 유기 절연 물질로 이루어질 수 있으며, 반도체 패턴(42) 중에서 적어도 소스 전극(65)과 드레인 전극(66) 사이에 위치하는 채널 부분을 덮어 보호하는 역할을 한다.

게이트선(22) 및 데이터선(62)으로 둘러싸인 화소 영역의 게이트 절연막(30) 위에는 화소 전극(82)이 형성되어 있다. 화소 전극(82)은 접촉창(71)을 통하여 드레인 전극(66)의 하부막(661)과 물리적·전기적으로 연결되어 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께

전기장을 생성하며, ITO 또는 IZO 피위의 투명한 도전 물질로 만들어진다. 화소 전극(82)은 또한 유지 축전기용 도전체 패턴(68) 위로도 연장되어 물리적, 전기적으로 연결되어 있으며 이에 따라 유지 축전기용 도전체 패턴(68)과 그 하부의 게이트선(22)과 유지 축전기를 이룬다. 한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 보조 게이트 패드(84) 및 보조 데이터 패드(86)가 화소 전극(82)과 동일한 물질로 형성되어 있으며, 접촉창(72, 73)을 통하여 드래인 및 소스 영역으로 형성되어 있는 게이트 패드(24)의 하부막(241) 및 데이터 패드(64)의 하부막(641)과 각각 접촉되어 있다. 보조 게이트 패드(84) 및 보조 데이터 패드(86)는 패드(24, 64)와 외부 회로 장치와의 접속성을 보완하고 패드를 보호하는 역할을 하는 것으로서, 반드시 필요한 것은 아니다.

여기에서, 화소 전극(82), 보조 게이트 패드(84) 및 보조 데이터 패드(86)는 ITO 및 IZO와의 접촉 특성이 좋은 크롬 또는 폴리타타늄으로 형성된 드레인 전극(66)의 하부막(661), 게이트 패드(84)의 하부막(841) 및 데이터 패드(86)의 하부막(861)과 적층 접촉하기 때문에, 안정화된 패드부 특성을 얻을 수 있다.

화소 전극(82)의 재료의 예로서 투명한 ITO와 IZO를 들었으나, 반사율 액정 표시 장치의 경우 불투명한 도전 물질을 사용하여도 무방하다. 그러면, 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 6a 내지 도 17b와 앞서의 도 3 내지 도 5를 참고로 하여 상세히 설명한다.

먼저, 도 6a 내지 6c에 도시한 바와 같이, 크롬, 폴리타타늄 또는 폴리타타늄 합금막과 같은 제1 게이트 금속막을 500~1,500 Å의 두께로 증착하고, 이어 알루미늄막 또는 알루미늄 합금막과 같은 제2 게이트 금속막을 1,000~4,000 Å의 두께로 증착한 다음, 제1 마스크를 이용하여 제2 및 제1 게이트 금속막을 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 어레이막(221, 241, 261; 222, 242, 262) 구조의 게이트 배선을 형성한다.

다음, 도 7a 내지 7c에 도시한 바와 같이, 게이트 절연막(30), 반도체층(40), 접촉층을 도핑된 비정질 규소막을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 1,500 Å, 300 Å 내지 600 Å의 두께로 연속 증착한다.

이어, 크롬, 폴리타타늄 또는 폴리타타늄 합금막과 같은 제1 데이터 금속막을 500~1,500 Å의 두께로 증착하고, 이어 알루미늄막 또는 알루미늄 합금막과 같은 제2 데이터 금속막을 500~4,000 Å의 두께로 증착한 다음, 제2 마스크를 사용하여 제2 및 제1 데이터 금속막 및 그 아래의 접촉층을 도핑된 비정질 규소막을 패터닝하여 데이터선(62), 데이터 패드(64), 소스 전극(65) 등 데이터선부와 그 하부의 데이터선부 접촉층 패턴(55), 드레인 전극(66)과 그 하부의 드레인 전극을 접촉층 패턴(56) 및 유지 축전기용 도전체 패턴(68)과 그 하부의 유지 축전기용 접촉층 패턴(58)을 형성한다. 여기에서, 유지 축전기용 도전체 패턴(68)과 유지 축전기용 접촉층 패턴(58)은 형성하지 않을 수도 있다. 이후 공정은 유지 축전기용 도전체 패턴(68)이 형성되어 있는 경우를 그 예로 하여 설명한다.

다음, 도 8a 내지 도 8c에 도시한 바와 같이, 질화규소를 CVD 방법으로 증착하여 3,000 Å 이상의 두께를 가지는 보호막(70)을 형성한 후 제3 마스크를 사용하여 보호막(70)과 반도체층(40) 및 게이트 절연막(30)을 패터닝하여 접촉창(71, 72, 73)을 포함하는 어레이 패턴을 형성한다. 이때, 게이트 패드(24) 위에서는 보호막(70), 반도체층(40), 게이트 절연막(30) 및 게이트 패드(24)의 상부막(242)을 제거하고, 데이터 패드(64) 및 드레인 전극(66) 위에서는 보호막(70)과 더불어 데이터 패드(64)의 상부막(642) 및 드레인 전극(66)의 상부막(662)을 각각 제거하며, 유지 축전기용 도전체 패턴(48)의 상부막(682) 또한 제거한다.

한편, 화소 영역이 될 부분(Px)을 포함하는 영역, 즉 인접한 두 데이터선(62) 사이의 영역에서는 보호막(70)과 더불어 반도체층(40)을 제거하여 필요한 부분에만 채널이 형성되도록 반도체층 패턴을 형성한다. 이를 위하여 부분에 따라 두께가 다른 감광막 패턴을 형성하고 이를 식각 마스크로 하여 하부의 막들을 건식 식각하는데, 이에 대하여 다음의 도 9a 내지 도 17b를 통하여 보다 상세히 설명한다.

먼저, 보호막(70) 위에 감광막(PR), 바람직하게는 양성의 감광막을 5,000 Å 내지 30,000 Å의 두께로 도포한 후, 제3 마스크(300, 400)를 통하여 노광한다. 감광막(PR)의 노광 정도는 도 9a 및 9b에서 보는 바와 같이, 화면 표시부(D)와 주변부(P)에서 다르다. 즉, 화면 표시부(D)의 감광막(PR) 중에서 빛에 노출된 부분(C)은 표면으로부터 일정 깊이까지만이 빛에 반응하여 고분자가 분해되고 그 밑으로는 고분자가 그대로 남아 있으나, 게이트 패드부 및 데이터 패드부를 포함하는 주변부(P)의 감광막(PR)은 어긋난 물리 빛에 노출된 부분(B)은 하부까지 모두 빛에 반응하여 고분자가 분해된 상태가 된다. 여기에서, 화면 표시부(D)나 주변부(P)에서 빛에 노출되는 부분(C, B)은 보호막(70)이 제거될 부분이다.

이를 위해서는 화면 표시부(D)에 사용하는 마스크(300)와 주변부(P)에 사용하는 마스크(400)의 구조를 변경하는 방법을 사용할 수 있으며, 여기에서는 세 가지 방법을 제시한다.

도 10a 및 도 10b에 도시한 바와 같이, 마스크(300, 400)는 통상 기판(310, 410)과 그 위의 크롬 피위로 이루어진 불투명한 패턴층(320, 420), 그리고 패턴층(320, 420) 및 노출된 기판(310, 410)을 덮고 있는 반투명한 펠리클(pellicle)(330, 430)로 이루어진다. 불투명한 패턴층(320, 420)의 광 투과율은 3% 이하로 하고, 주변부(P)에 사용되는 마스크(400)의 펠리클(430)의 광 투과율은 90% 이상이 되도록 하며, 화면 표시부(D)에 사용되는 마스크(300)의 펠리클(330)의 광 투과율은 주변부(P)의 펠리클(430)의 광 투과율의 20~60% 범위인 20~40% 정도로 하는 것이 바람직하다.

화면 표시부(D)의 반투명한 펠리클(330) 대신에, 광원의 분해능보다 작은 크기, 약 2.5μm의 폭의 슬릿(slot)이나 격자 모양의 미세 패턴을 가지는 마스크를 사용할 수도 있다.

다음은, 도 11a 및 도 11b에 도시한 바와 같이, 화면 표시부(D)의 마스크(300)에는 전면에 걸쳐 크롬층(350)을 약 100 Å 내지 300 Å의 두께로 남게 투과율을 낮추고, 주변부(P)의 마스크(400)에는 이러한 크롬층을 남기지 않는 것이다. 이때, 화면 표시부(D)에 사용되는 마스크(300)의 펠리클(340)은 주변부(P)의 펠리클(430)과 동일한 투과율을 가지도록 할 수 있다.

여기에서 위의 두 가지 방법을 혼용하여 사용할 수 있음을 들면이다.

위의 두 가지 예에서는 스테퍼를 사용한 정황 노광의 경우에 적용할 수 있는 것으로서 화면 표시부(D)와 주변부(P)가 다른 마스크를 사용하여 노광되기 때문에 가능한 것이다. 이렇게 분할 노광하는 경우에는 이외에도 화면 표시부(D)와 주변부(P)의 노광 시간을 다르게 함으로써 두께를 조절할 수도 있다.

그러나, 화면 표시부(D)와 주변부(P)를 혼합 노광하지 않고 하나의 마스크를 사용하여 노광할 수도 있으며 이 경우 적용될 수 있는 마스크의 구조를 도 12를 참고로 하여 설명한다.

도 12에 도시한 바와 같이, 마스크(500)의 기판(510) 위에는 투과물 조절막(550)이 형성되어 있으며 투과물 조절막(550) 위에 패턴층(520)이 형성되어 있다. 투과물 조절막(550)은 화면 표시부(D)에서는 패턴층(520) 하부면 아니라 전면에 걸쳐 형성되어 있지만 주변부(P)에서는 패턴층(550) 하부에만 형성되어 있다. 결국 기판(510) 위에는 높이가 다른 두 개 이상의 패턴이 형성되어 있는 셈이 된다.

물론, 주변부(P)에도 투과물 조절막을 둘 수 있으며, 이 경우 주변부(P)의 투과물 조절막의 투과율은 화면 표시부(P)의 투과물 조절막(550)의 투과율보다 높은 투과율을 가져야 한다.

이러한 투과물 조절막(550)을 가지는 광마스크(500)를 제조할 때에는, 먼저 기판(500) 위에 투과물 조절막(550)과, 이 투과물 조절막(550)과 식각비가 다른 패턴층(520)을 연속하여 적층한다. 전면에 걸쳐 감광막(도시하지 않음)을 도포하고 노광, 현상한 후 감광막을 식각 마스크로 하여 패턴층(520)을 식각한다. 남은 감광막을 제거한 후 다시 주변부(P)의 감광막에 대응하는 위치의 투과물 조절막을 노출시키는 새로운 감광막 패턴(도시하지 않음)을 형성한 다음, 이를 식각 마스크로 하여 투과물 조절막(550)을 식각함으로써 광마스크(500)를 완성한다. 그런데, 감광막(PR) 중 하부에 반사율이 높은 금속층, 즉 게이트 배선(22, 24, 26)이나 데이터 배선(62, 64, 65, 66, 68)이 있는 부분은 반사된 빛으로 인하여 노광시 다른 부분보다 빛의 조사량이 많아질 수 있다. 이를 방지하기 위하여 하부로부터의 반사광을 차단하는 층을 두거나 착색된 감광막(PR)을 사용할 수 있다.

이러한 방법으로 감광막(PR)을 노광한 후, 현상하면 도 13a 및 도 13b에서와 같은 감광막 패턴(PR)이 만들어진다. 즉, 게이트 패드(24) 및 데이터 패드(64)의 일부 위에는 감광막이 형성되어 있지 않고, 게이트 패드(24)와 데이터 패드(64)의 일부를 제외한 모든 주변부(P), 화면 표시부(D)에서 데이터선부(62, 64, 65) 및 드레인 전극(66) 및 데이터선부(65)와 드레인 전극(66) 사이의 반도체층(40)의 상부에는 두꺼운 감광막이 형성되어 있으며, 화면 표시부(D)에서 유지 축전기용 도전체 패턴(68) 상부 및 화소 영역(Px) 상부에는 얇은 감광막이 형성되어 있다. 도 13b에서와 같이, 드레인 전극(66)의 일부 상부에 얇은 감광막이 형성되어 있는 것도 가능하다.

이때, 감광막(PR)의 얇은 부분(C)의 두께는 최소 두께의 약 1/4 내지 1/7 수준 즉 350 Å 내지 10,000 Å 정도, 더욱 바람직하게는, 1,000 Å 내지 6,000 Å가 되도록 하는 것이 좋다. 한 예를 들면, 감광막(PR)의 최소 두께는 25,000 Å 내지 30,000 Å으로 하고, 화면 표시부(D)의 투과율을 30 %로 하여 얇은 감광막의 두께가 3,000 Å 내지 5,000 Å가 되도록 할 수 있다. 그러나 남기는 두께는 건식 식각의 공정 조건에 따라 결정되어야 하므로, 이러한 공정 조건에 따라 마스크의 물리층, 잔류 코팅층의 두께 또는 투과물 조절막의 투과율이나 노광 시간 등을 조절하여야 한다.

이러한 얇은 두께의 감광막은 통상적인 방법으로 감광막을 노광, 현상한 후 리플로우를 통하여 형성할 수도 있다.

이와, 건식 식각 방법으로 감광막 패턴(PR) 및 그 하부의 막들, 즉 보호막(70), 반도체층(40) 및 게이트 절연막(30)에 대한 식각을 진행한다. 이때, 앞서 언급한 것처럼, 감광막 패턴(PR) 중 A 부분은 완전히 제거되지 않고 남아 있어야 하고, B 부분 하부의 보호막(70), 반도체층(40) 및 게이트 절연막(30)이 제거되어야 하며, C 부분 하부에서는 보호막(70)과 반도체층(40)만을 제거하고 게이트 절연막(30)은 제거되지 않아야 한다.

이를 위해서, 감광막 패턴(PR)과 그 하부의 막들을 동시에 식각할 수 있는 건식 식각 방법을 사용할 수 있다.

한편, 얇은 두께의 감광막이 불균일한 두께로 남아 게이트 절연막(30)의 상부에 반도체층(40)의 일부가 잔류하는 것을 방지하기 위해, 감광막 패턴(PR)과 그 하부의 막들을 여러 단계로 나누어 식각할 수 있다. 이에 대하여 다음에서 상세하게 설명한다.

먼저, 도 14a 및 도 14b에 도시한 바와 같이, 감광막 패턴(PR)이 완전히 제거된 B 부분의 보호막(70) 및 그 하부의 막들, 즉 반도체층(40) 및 게이트 절연막(30)을 건식 식각 방식으로 식각하여 데이터 패드(64)를 완전히 드러내고, 게이트 패드(24) 상부에서는 게이트 절연막(30)의 일부를 남긴다. 이때, 게이트 패드(24)가 드러나도록 게이트 패드(24) 상부의 게이트 절연막(30)을 완전히 제거할 수도 있다. 건식 식각 기체로는  $SF_6+N_2$  또는  $SF_6+HCl$  등을 사용하는데, 이 과정에서 감광막(PR)이 일부 제거될 수도 있다. 따라서, 화면 표시부(D)에서 보호막(70)이 드러나지 않도록 감광막의 소모량이 제어되는 조건을 채택하여야 한다. 이 단계에서, 도 14b에 나타난 바와 같이, 유지 축전기용 도전체 패턴(68) 상부에 남은 감광막(PR)의 두께도 화면 표시부(D)의 감광막 두께 정도로 얇아진다.

다음 산소를 이용한 애싱(ashing) 공정을 실시하여 도 15a 및 도 15b에서 보는 바와 같이 C 부분의 보호막(70) 상부에 잔류하는 감광막과 유지 축전기용 도전체 패턴(68) 상부의 감광막을 제거한다. 이때, C 부분에서 감광막이 불균일한 두께로 남아 감광막이 잔류할 수도 있으므로  $N_2+O_2$  또는  $Ar+O_2$  등의 기체를 사용하여 애싱을 충분히 진행한다. 이렇게 하면, 도 13a 및 도 13b에서 얇은 두께의 감광막이 불균일한 두께로 형성되더라도 C 부분에서 감광막을 완전히 제거할 수 있다.

이와, 도 16a 및 도 16b에서 보는 바와 같이, 반도체층(40)과 보호막(70)에 대한 식각 선택비가 우수한 조건 하에서, 감광막 패턴(PR)을 마스크로 하여 유지 축전기용 도전체 패턴(68) 상부, 드레인 전극(66) 상부 및 화소 영역이 될 부분 상부의 보호막(70)과 게이트 패드(24) 상부의 게이트 절연막(40)을 제거한다. 그러면, 유지 축전기가 형성될 부분과 화면 표시부(D)에서 반도체층(40)이 드러남과 동시에, 드레인 전극(66) 및 게이트 패드(24)를 드러낸다. 여기에서, 반도체층(40)과 보호막(70)에 대한 식각 선택비가 우수한 조건을 만들기 위하여,  $O_2$  또는  $OF_4$ 를 다양으로 포함시키는 것이 바람직하며, 건식 식각 기체로는  $SF_6+N_2$ ,  $SF_6+O_2$ ,  $CF_4+O_2$ ,  $CF_4+CHF_3+O_2$  등을 사용하는 것이 바람직하다. 다음, 도 17a 및 도 17b에서 보는 바와 같이, 비정질 규소층만을 식각하는 조건을 선택하여 노출된 반도체층(40), 특히 인접한 두 데이터선(62) 사이에 존재하는 반도체층(40)을 제거하여 반도체 패턴(42, 48)을 완성한다. 이때 비정질 규소층을 식각하는 기체로는  $Cl_2+O_2$  또는  $SF_6+HCl+O_2+Ar$  등을 사용하는 것이 바람직하다.

다음, 드러난 게이트 패드(24)의 상부막(242), 드레인 전극(66)의 상부막(662), 데이터 패드(64)의 상부막(642), 그리고 유지 축전기용 도전체 패턴(68)의 상부막(682)을 건식 식각 또는 습식 식각으로 제거한 다음, 잔류하는 감광막(PR)을 제거한다. 이후, ITO 또는 IZO와 같은 투명한 도전막을 증착하고 이를 제4 마스크를 사용하여 패턴화하여, 도 4 및 도 5에 도시한 바와 같이, 드레인 전극(66)의 하부막(661), 게이트 패드(24)의 하부막(241) 및 데이터 패드(64)의 하부막(641)과 각각 접속하는 화소 전극(62), 게이트 패드 도전 패턴(64) 및 데이터 패드 도전 패턴

(86)를 형성한다.

이처럼, 본 발명의 제1 실시예에서는, 화면 표시부(D)에서는 보호막(70)과 반도체층(40)만을 제거하여 접촉창(71) 및 반도체 패턴(42, 48)을 형성하며, 주변부(P)에서는 보호막(70), 반도체층(40) 및 게이트 절연막(30)을 모두 제거하여 접촉창(72, 73)을 형성하는 공정을 하나의 마스크 공정으로 실시하기 때문에, 4장의 마스크를 사용하여 박막 트랜지스터 기판을 제조하는 것이 가능하다. 또한, 식각 조건을 적절히 조절하여 넓은 면적을 서로 다른 길이로 식각하면서도 하나의 식각 길이에 대해서는 균일한 식각 깊이를 갖도록 하는 것이 가능하다. 데이터 배선 또는 게이트 배선을 알루미늄막 등의 저저항 금속막을 포함하는 이중막으로 사용하되, 패드부에서는 접촉 특성이 좋지 않은 알루미늄막을 제거함으로써, 패드부 특성을 저하시키지 않으면서도 저저항 배선을 사용하는 것이 가능하다.

다음, 제1 실시예에서, 드레인 전극(66)의 상부막(662), 데이터 패드(64)의 상부막(642)을 식각할 때 보호막(70)의 가장자리보다 안쪽으로 과식각되는 경우, 이후 ITO 또는 IZO 막 패턴이 접촉창의 안쪽에서 끊어질 수 있는 점을 보완하기 위한 제2 실시예를 다음에서 설명한다. 도 18 내지 도 24는 본 발명의 제2 실시예에 따른 영상 표시 장치용 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 도시한 단면도이다. 제2 실시예에 따른 영상 표시 장치용 박막 트랜지스터 기판의 제조 방법은 보호막(70)을 증착하는 단계까지는 앞선 도 3 내지 도 7c에 도시한 제1 실시예에 따른 방법과 동일하게 방법으로 진행한다.

즉, 절연 기판(10) 위에 드롭, 폴리비덴막 또는 폴리비덴 합금막과 같은 제1 게이트 금속막과 알루미늄막 또는 알루미늄 합금막과 같은 제2 게이트 금속막을 연속으로 증착한 다음, 제1 마스크를 이용하여 제2 및 제1 게이트 금속막을 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 이중막(221, 241, 261; 222, 242, 262) 구조의 게이트 배선을 형성한다. 다음, 게이트 절연막(30), 반도체층(40), 접촉층을 포함한 비정질 규소막을 연속 증착한다. 이어, 드롭, 폴리비덴막 또는 폴리비덴 합금막과 같은 제1 데이터 금속막과 알루미늄막 또는 알루미늄 합금막과 같은 제2 데이터 금속막을 증착하고 제2 마스크를 사용하여 제2 및 제1 데이터 금속막 및 그 아래의 접촉층을 포함한 비정질 규소막을 패턴화하여 데이터선(62), 데이터 패드(64), 소스 전극(66) 등 데이터선부와 그 하부의 데이터선부 접촉층 패턴(55) 및 드레인 전극(66)과 그 하부의 드레인 전극용 접촉층 패턴(56)을 형성한다. 도시하지는 않았지만, 앞선 제1 실시예에서와 마찬가지로 유자 축전기용 도전체 패턴(68)과 그 하부의 유자 축전기용 접촉층 패턴(58)을 또한 형성할 수 있다.

다음, 그 위에 보호막(70)을 증착한 다음, 감광막(PR)을 도포하고 이를 제3마스크를 사용하여 노광 및 현상하여, 도 18에 도시한 바와 같이, 감광막(PR)의 두께를 부분적으로 달리 패턴화한다. 즉, 게이트 패드(24), 데이터 패드(64) 및 드레인 전극(66)의 일부의 상부(C)에서는 감광막(PR)이 완전히 제거되며, 화면 표시부(D)에서 드레인 전극(66) 상부의 감광막(PR)이 완전히 제거된 부분의 바깥쪽 일부(C), 화소 영역이 형성된 부분(C) 및 주변부(P)의 데이터 패드(64) 상부의 감광막(PR)이 완전히 제거된 부분의 바깥쪽 일부(C)에는 얇은 두께의 감광막(PR)이 형성되며, 이외의 모든 부분(A)에는 감광막(PR)이 완전히 남도록 패턴화한다.

다음, 도 19에 도시한 바와 같이, 감광막(PR)이 완전히 제거된 부분을 통해 그 하부의 막을, 즉 보호막(70), 반도체층(40) 및 게이트 절연막(30)을 건식 식각으로 제거하여, 게이트 패드(24), 드레인 전극(66) 및 데이터 패드(64)가 드러나도록 한다.

이 단계에서, 감광막(PR)의 두께가 일부 제거될 수도 있다.

이어, 도 20에 도시한 바와 같이, 드러난 게이트 패드(24)의 상부막(242), 드레인 전극(66)의 상부막(662) 및 데이터 패드(64)의 상부막(642)을 습식 또는 건식 식각 방법으로 제거하여, 각각의 하부막(241, 661, 641)을 드러낸다.

다음, 감광막(PR)을 산소를 포함하는 가스를 이용하여 에칭하여, 드레인 전극(66) 상부, 화소 영역이 될 부분의 상부 및 데이터 패드(64)의 상부에 덮여 있는 얇은 감광막(PR)을 제거하여 그 하부의 보호막(70)을 드러낸다. 다음, 도 21에 도시한 바와 같이, 드러난 보호막(70) 및 그 하부의 반도체층(40)을 건식 식각하여 반도체 패턴을 형성하고, 접촉창(72, 73) 가장자리 바깥으로 일정 폭 드레인 전극(66) 및 데이터 패드(64)의 상부막(662, 642)을 드러낸다.

이어, 도 22에 도시한 바와 같이, 잔류하는 감광막(PR)을 스트립(strip)하여 제거하여, 게이트 패드(24)의 하부막(241), 드레인 전극(66)의 하부막(661) 및 데이터 패드(64)의 하부막(641)을 각각 드러내는 접촉창(71, 72, 73)을 완성한다.

마지막으로, ITO 막 또는 IZO 막을 건연에 증착하고 제4 마스크를 사용하여 식각하여, 도 23에 도시한 바와 같이, 접촉창(72, 71, 73)을 통해 게이트 패드(24)의 하부막(241), 드레인 전극(66)의 하부막(661) 및 데이터 패드(64)의 하부막(641)과 각각 접촉하는 게이트 패드 도전 패턴(64), 화소 전극(82) 및 데이터 패드 도전 패턴(86)을 형성한다.

이상에서와 같이, 본 발명의 제2 실시예에서는, 화면 표시부(D)에서는 보호막(70)과 반도체층(40)을 제거하여 접촉창(71) 및 반도체 패턴(42, 48)을 형성하며, 주변부(P)에서는 보호막(70), 반도체층(40) 및 게이트 절연막(30)을 모두 제거하여 접촉창(72, 73)을 형성하는 공정을 하나의 마스크 공정으로 실시하기 때문에, 4장의 마스크를 사용하여 박막 트랜지스터 기판을 제조하는 것이 가능하다. 또한, 식각 조건을 적절히 조절하여 넓은 면적을 서로 다른 길이로 식각하면서도 하나의 식각 길이에 대해서는 균일한 식각 깊이를 갖도록 하는 것이 가능하며, 데이터 배선 또는 게이트 배선을 알루미늄막 등의 저저항 금속막을 포함하는 이중막으로 사용하되, 패드부에서는 접촉 특성이 좋지 않은 알루미늄막을 제거함으로써, 패드부 특성을 저하시키지 않으면서도 저저항 배선을 사용하는 것이 가능하다. 뿐만 아니라, 드레인 전극(66)의 상부막(662), 데이터 패드(64)의 상부막(642)을 먼저 제거한 후에 보호막(70)을 제거하여 접촉창을 형성하기 때문에, 이 상부막(662, 642)이 보호막 안쪽으로 과식각 될 염려가 없으며, 따라서 이후 형성되는 화소 전극(82) 및 데이터 패드 도전 패턴(86)이 접촉창의 안쪽에서 끊어지는 것을 방지할 수 있다. 상부막(662, 642)이 과식각 되지 않는 경우라도, 접촉창(71, 72, 73) 주변에서의 단차를 완하시켜줄 수 있으므로, 역시 동일한 효과를 얻을 수 있다.

다음, 도 24 내지 도 29를 참고로 하여 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조 방법에 대하여 설명한다.

도 24 내지 도 29는 본 발명의 제3 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 공정 순서에 따라 나타낸 단면도로서, 보호막으로 감광성이 있는 유기막을 사용한 경우를 보여주고 있다.

먼저, 제1 및 제2 실시예에서와 동일한 단계를 거쳐, 이중막 게이트 배선(22, 24, 26), 게이트 절연막(30), 반도체층(40), 접촉층 패턴(55, 56), 그리고 이중막 데이터 배선(62, 64, 66, 68)을 형성한다.



즉, 절연 기판(10) 위에 코팅, 폴리머막 또는 폴리머를 합금막과 같은 제1 게이트 금속막과 알루미늄막 또는 알루미늄 합금막과 같은 제2 게이트 금속막을 연속으로 증착한 다음, 제1 마스크를 이용하여 제2 및 제1 게이트 금속막을 건식 또는 습식 식각하여, 기판(10) 위에 게이트선(22), 게이트 패드(24) 및 게이트 전극(26)을 포함하는 이중막(221, 241, 261; 222, 242, 262) 구조의 게이트 배선을 형성한다. 다음, 게이트 절연막(30), 반도체층(40), 접촉층을 포함한 비정질 규소막을 연속 증착한다. 이어, 코팅, 폴리머막 또는 폴리머를 합금막과 같은 제1 데이터 금속막과 알루미늄막 또는 알루미늄 합금막과 같은 제2 데이터 금속막을 연속하여 증착하고 제2 마스크를 사용하여 제2 및 제1 데이터 금속막 및 그 아래의 접촉층을 포함한 비정질 규소막을 패터닝하여 데이터선(62), 데이터 패드(64), 소스 전극(65) 등 데이터전부와 그 하부의 데이터전부 접촉층 패턴(56) 및 드레인 전극(66)과 그 하부의 드레인 전극을 접촉층 패턴(56)을 형성한다.

다음, 그 위에 감광성이 있는 유기 절연막을 3,000 Å 정도의 두께로 코팅하여 보호막(80)을 형성한 다음, 제3마스크를 사용하여 노광 및 현상하여, 도 24에 도시한 바와 같이, 보호막(80)의 두께를 부분적으로 달리 패터닝한다. 즉, 게이트 패드(24), 데이터 패드(64) 및 드레인 전극(66)의 일부의 상부(C)에서는 보호막(80)이 완전히 제거되며, 화면 표시부(C)에서 드레인 전극(66) 상부의 보호막(80)이 완전히 제거된 부분의 바깥쪽 일부(C)와 화소 영역이 형성될 부분(C) 및 주변부(P)의 데이터 패드(64) 상부의 보호막(80)이 완전히 제거된 부분의 바깥쪽 일부(C)에는 얇은 두께의 보호막(80)이 형성되며, 이외의 모든 부분(A)에는 보호막(80)이 그대로 남도록 한다.

다음, 도 25에 도시한 바와 같이, 보호막(80)이 완전히 제거된 부분을 통해 드러나 있는 그 하부의 막들, 즉 반도체층(40) 및 게이트 절연막(30)을 건식 식각으로 제거하여, 게이트 패드(24)를 드러내는 접촉창(72)을 형성한다.

이어, 도 26에 도시한 바와 같이, 드러난 게이트 패드(24)의 상부막(242), 드레인 전극(66)의 상부막(662) 및 데이터 패드(64)의 상부막(642)을 습식 또는 건식 식각 방법으로 제거하여, 각각의 하부막(241, 661, 641)을 드러낸다.

드레인 전극(66) 위 일부, 화소 영역이 될 부분의 상부 및 데이터 패드(64)의 위 일부에 덮여 있는 얇은 두께의 보호막(80)을 매상으로 제거하여, 도 27에서 도시한 바와 같이, 그 하부의 드레인 전극(66)의 상부막(662)과 데이터 패드(64)의 상부막(642)을 드러내어, 단차가 완화된 접촉창(71, 73)을 각각 형성함과 동시에, 화소 영역의 반도체층(40)을 드러낸다.

이후, 도 28에 도시한 바와 같이, 드러난 반도체층(30)을 건식 식각하여 반도체 패턴을 완성한다.

마지막으로, ITO 막 또는 IZO 막을 건식에 증착하고 제4 마스크를 사용하여 식각하여, 도 29에 도시한 바와 같이, 접촉창(72, 71, 73)을 통해 게이트 패드(24)의 하부막(241), 드레인 전극(66)의 하부막(661) 및 데이터 패드(64)의 하부막(641)과 각각 접촉하는 게이트 패드 도전 패턴(64), 화소 전극(82) 및 데이터 패드 도전 패턴(86)을 형성한다.

이러한 제3 실시예에 따른 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법은 제2 실시예에서와 마찬가지로의 효과를 얻을 수 있을 뿐만 아니라, 보호막 형성 이후에 감광막을 불도로 도포하거나 제거하는 공정이 필요하지 않아 공정이 단순화된다.

## 발명의 효과

이상에서와 같이, 본 발명은 박막의 새로운 사진 식각 방법을 통하여 액정 표시 장치를 박막 트랜지스터 기판의 제조 공정을 수월하고, 공정을 단순화하여 제조 원가를 낮추고 수율을 높여준다. 또한, 불온 연적을 서로 다른 길이로 식각하여서도 하나의 식각 길이에 대해서는 균일한 식각 깊이를 가질 수 있도록 한다. 뿐만 아니라, 배선을 저저항 금속막을 포함하는 이중막으로 사용하되, 접촉창 부분에서의 접촉 저항을 방지할 수 있다.

## (57) 청구의 범위

### 청구항 1.

기판 위에 제1 광마스크를 사용하여 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,  
상기 게이트 배선 및 상기 기판 위에 게이트 절연막, 반도체층, 접촉층, 제1 데이터 금속막 및 제2 데이터 금속막을 연속하여 증착하는 단계,  
제2 광마스크를 사용하여 상기 제2 및 제1 데이터 금속막을 식각하여 데이터선 및 소스 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,  
상기 데이터 배선을 마스크로 하여 상기 접촉층을 식각하여 상기 데이터 배선과 동일한 패턴의 접촉층 패턴을 형성하는 단계,  
상기 반도체층과 상기 데이터 배선을 덮는 보호막을 증착하는 단계,  
상기 보호막 위에 감광막을 도포하는 단계,  
제3 광마스크를 사용하여 상기 감광막을 노광하고 현상하여, 부분에 따라 높이가 다른 감광막 패턴을 형성하는 단계,  
상기 감광막 패턴을 이용하여 상기 보호막, 상기 드레인 전극의 상기 제2 데이터 금속막 일부, 상기 데이터 패드의 상기 제2 데이터 금속막 일부, 상기 반도체층 및 상기 게이트 절연막을 식각하여, 상기 드레인 전극의 상기 제1 데이터 금속막 일부, 상기 데이터 패드의 상기 제1 데이터 금속막 일부 및 상기 게이트 패드 일부를 각각 드러내는 제1 내지 제3 접촉창을 형성하고, 반도체 패턴을 형성하는 단계,  
상기 감광막 패턴을 제거하는 단계, 및  
제4 광마스크를 사용하여, 상기 제1 접촉창을 통해 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계  
를 포함하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

### 청구항 2.

제1항에서,

상기 제2 데이터 금속막은 알루미늄 또는 알루미늄 합금막으로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

### 청구항 3.

제2항에서,

상기 제1 데이터 금속막은 드레인, 몰린브덴 또는 몰린브덴 합금막으로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 4.

제1항에서,

상기 회소 전극을 형성하는 단계에서, 상기 제2 절충층을 통해 상기 데이터 패드의 상기 제1 금속막과 연결되는 데이터 패드 도전 패턴을 형성하는 단계를 더 포함하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 5.

제1항에서,

상기 게이트 배선은 하부막인 제1 게이트 금속막 및 상부막인 제2 게이트 금속막으로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 6.

제5항에서,

상기 드레인 전극의 상기 제2 데이터 금속막과 상기 데이터 패드의 상기 제2 데이터 금속막을 식각하는 단계에서 상기 게이트 패드의 상기 제2 게이트 금속막의 일부를 제거하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 7.

제6항에서,

상기 제2 게이트 금속막은 알루미늄 또는 알루미늄 합금막으로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 8.

제7항에서,

상기 제1 게이트 금속막은 크롬, 몰리브덴 또는 몰리브덴 합금막으로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 9.

제8항에서,

상기 회소 전극을 형성하는 단계에서, 상기 제3 절충층을 통해 상기 게이트 패드와 연결되는 게이트 패드 도전 패턴을 형성하는 단계를 더 포함하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 10.

제1항에서,

상기 회소 전극은 ITO 또는 IZO로 형성하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 11.

제1항에서,

상기 제1 내지 제3 절충층 및 상기 반도체 패턴을 형성하는 단계는

상기 게이트 패드 및 상기 데이터 패드 상부의 상기 보호막, 상기 보호막 하부의 상기 반도체층 및 상기 게이트 절연막을 식각하여, 상기 게이트 패드 및 상기 데이터 패드를 드러내는 단계,

상기 감광막의 일장 두께를 제거하여 상기 드레인 전극 상부의 상기 보호막 및 인접한 두 개의 상기 데이터선 사이의 상기 보호막을 드러내는 단계,

드러난 상기 보호막 및 상기 보호막 하부의 상기 반도체층을 식각하여, 상기 드레인 전극을 드러내고 상기 반도체 패턴을 형성하는 단계, 및  
상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막을 식각하여 상기 제1 내지 제3 절충층을 형성하는 단계를 포함하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 12.

제11항에서,

상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막은 습식 식각으로 식각하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 13.

제11항에서,

상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막은 건식 식각으로 식각하는 액정 표시 장치를 박막 트랜지스터 기판의 제조 방법.

#### 청구항 14.

제11항에서,

상기 드러난 전극 상부의 상기 보호막 및 인접한 두 개의 상기 데이터선 사이의 상기 보호막을 드러내는 단계에서, 상기 감광막은 산소층

이용한 애싱 공정으로 제거하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 15.

제14항에서,

상기 애싱 공정은 N<sub>2</sub> 또는 Ar을 더 포함하여 실시하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 16.

제1항에서,

상기 제1 내지 제3 접착층 및 상기 반도체 패턴을 형성하는 단계는,

상기 게이트 패드 상부 및 상기 드레인 전극 상부 및 상기 데이터 패드 상부의 상기 보호막, 그리고 상기 보호막 하부의 상기 반도체층 및 상기 게이트 절연막을 식각하여 상기 게이트 패드, 상기 드레인 전극 및 상기 데이터 패드를 각각 드러내는 단계,

상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막을 식각하여, 상기 게이트 패드의 상기 제1 게이트 금속막, 상기 드레인 전극의 상기 제1 데이터 금속막 및 상기 데이터 패드의 상기 제1 데이터 금속막을 드러내는 단계,

상기 감광막의 일면 두께를 제거하여 일정한 두께의 상기 데이터선 사이의 상기 보호막 및 상기 드러난 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계,

상기 드러난 보호막 및 상기 보호막 하부의 반도체층을 식각하여 상기 드레인 전극의 상기 제1 데이터 금속막을 드러내는 상기 제2 접착층을 형성하고, 상기 반도체 패턴을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 17.

제16항에서,

상기 드러난 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계에서, 상기 감광막의 일면 두께를 제거하여 상기 드러난 데이터 패드의 바깥쪽에 위치한 상기 보호막을 드러내는 단계,

상기 보호막을 식각하여 상기 데이터 패드의 상기 제1 데이터 금속막을 드러내는 상기 제3 접착층을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 18.

제17항에서,

상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막을 습식 식각으로 식각하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 19.

제17항에서,

상기 드러난 게이트 패드의 상기 제2 게이트 금속막, 상기 드러난 드레인 전극의 상기 제2 데이터 금속막 및 상기 드러난 데이터 패드의 상기 제2 데이터 금속막을 건식 식각으로 식각하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 20.

제16항에서,

일정한 두께의 상기 데이터선 사이의 상기 보호막 및 상기 드러난 드레인 전극의 바깥쪽에 위치한 상기 보호막을 드러내는 단계에서, 상기 감광막은 산소를 이용한 애싱 공정으로 제거하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 21.

제1항에서,

상기 반도체층은 비정질 규소층으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 22.

제21항에서,

상기 금속층은 인어 도핑된 비정질 규소층으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 23.

기판 위에 제1 광마스크를 사용하여 게이트선, 게이트 전극 및 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선 및 상기 기판 위에 게이트 절연막, 반도체층, 접착층, 제1 데이터 금속막 및 제2 데이터 금속막을 연속하여 증착하는 단계, 제2 광마스크를 사용하여 상기 제2 및 제1 데이터 금속막을 식각하여 데이터선 및 소스 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 마스크로 하여 상기 접착층을 식각하여 상기 데이터 배선과 동일한 패턴의 접착층 패턴을 형성하는 단계,

상기 반도체층과 상기 데이터 배선을 덮는 감광성 보호막을 형성하는 단계,

제3 광마스크를 사용하여 상기 보호막을 노광하고 현상하여, 상기 게이트 패드 상부의 상기 반도체층을 드러내며 두께를 가지고 있지 않은 제1

부분, 상기 드레인 전극 및 상기 데이터 패드를 각각 드러내는 제1 및 제2 접촉창, 상기 제1 및 제2 접촉창의 바깥 및 상기 게이트선과 상기 데이터선에 의해 정의되는 최소 영역에 제1 우주를 가지고 형성되어 있는 제2 부분, 그리고 상기 제1 및 제2 부분을 제외한 나머지 부분에 상기 제1 우주보다 두꺼운 제2 우주를 가지고 형성되어 있는 제3 부분을 포함하는 보호막 패턴을 형성하는 단계,  
 상기 제1 부분을 통해 드러난 상기 반도체층 및 상기 게이트 절연막을 식각하여 상기 게이트 패드를 드러내는 제3 접촉창을 형성하는 단계,  
 상기 제1 내지 제3 접촉창을 통해 각각 드러나 있는 상기 드레인 전극의 상기 제2 데이터 금속막, 상기 데이터 패드의 상기 제2 데이터 금속막, 그리고 상기 게이트 패드의 상기 제2 게이트 금속막을 제거하는 단계,  
 상기 제2 부분을 에칭하여 상기 최소 영역의 상기 반도체층을 드러내고, 상기 제1 및 제2 접촉창의 크기를 확대하는 단계,  
 상기 최소 영역의 상기 드러난 반도체층을 식각하여 반도체 패턴을 형성하는 단계,  
 상기 제1 접촉창을 통해 상기 드레인 전극과 전기적으로 연결되는 최소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 24.

제23항에서,

상기 최소 전극을 형성하는 단계에서, 상기 제2 접촉창 및 상기 제3 접촉창을 통해 각각 상기 데이터 패드의 상기 제1 데이터 금속막 및 상기 게이트 패드의 상기 제1 게이트 금속막과 접촉하는 데이터 패드 도전 패턴 및 게이트 패드 도전 패턴을 형성하는 단계를 더 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

#### 청구항 25.

제23항에서,

상기 보호막은 유기 절연막으로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

도면

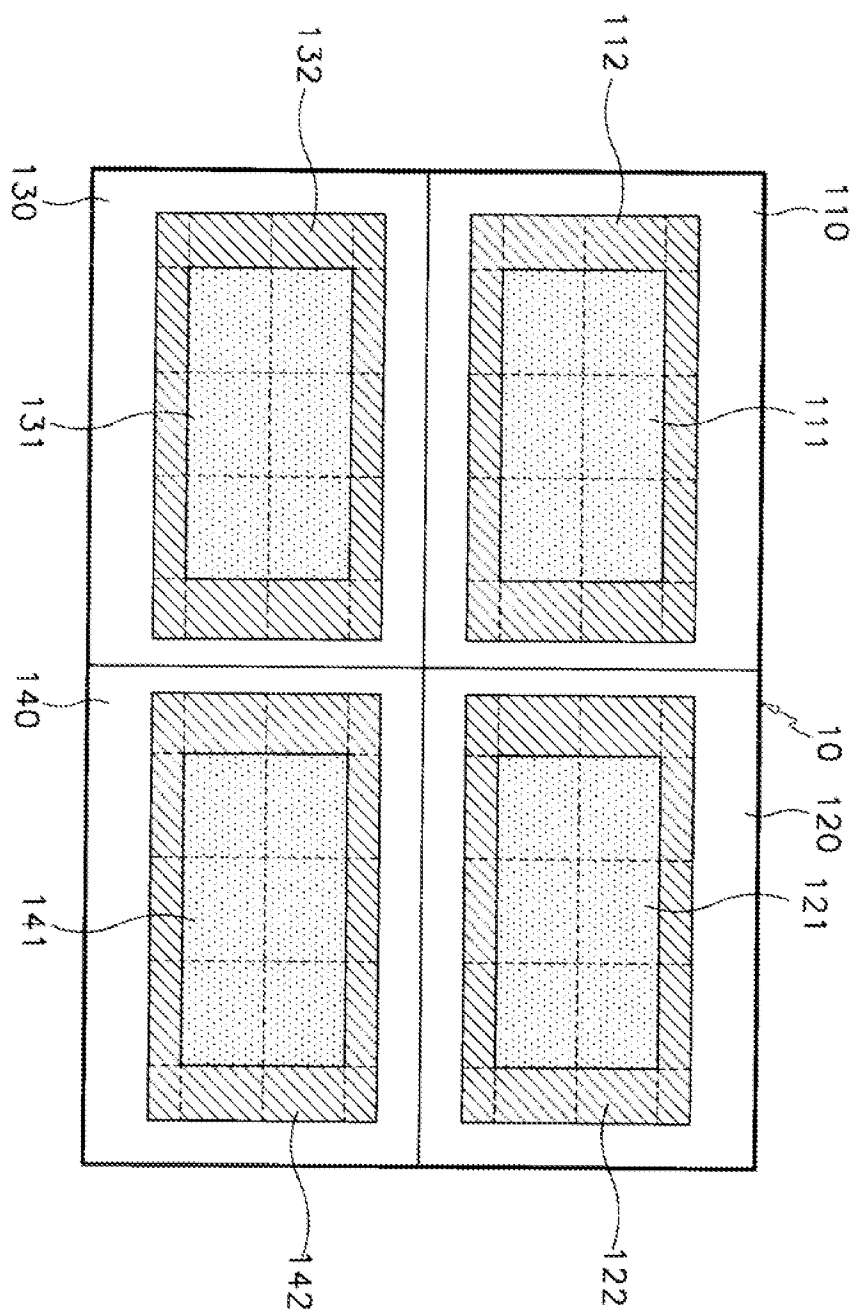
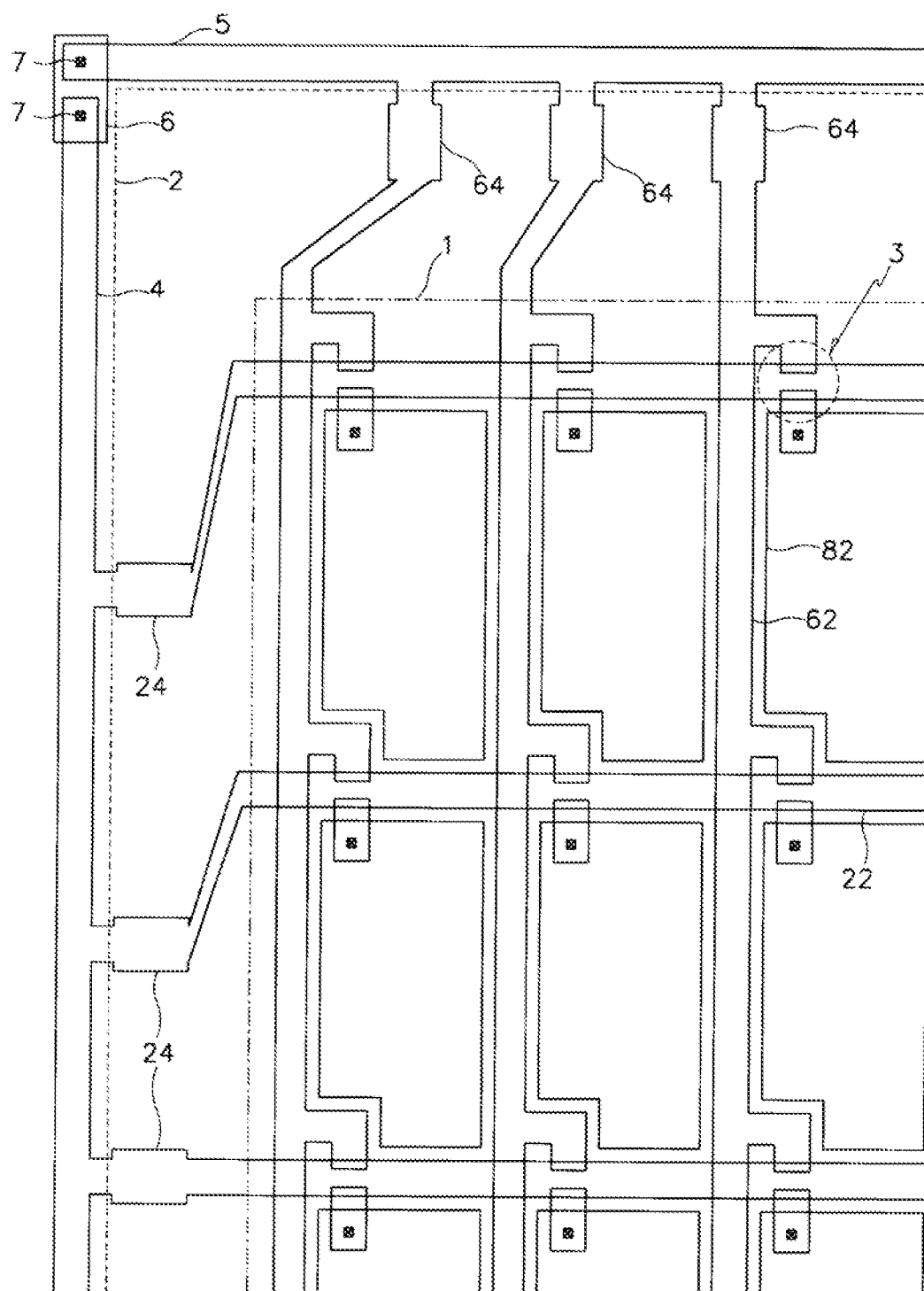
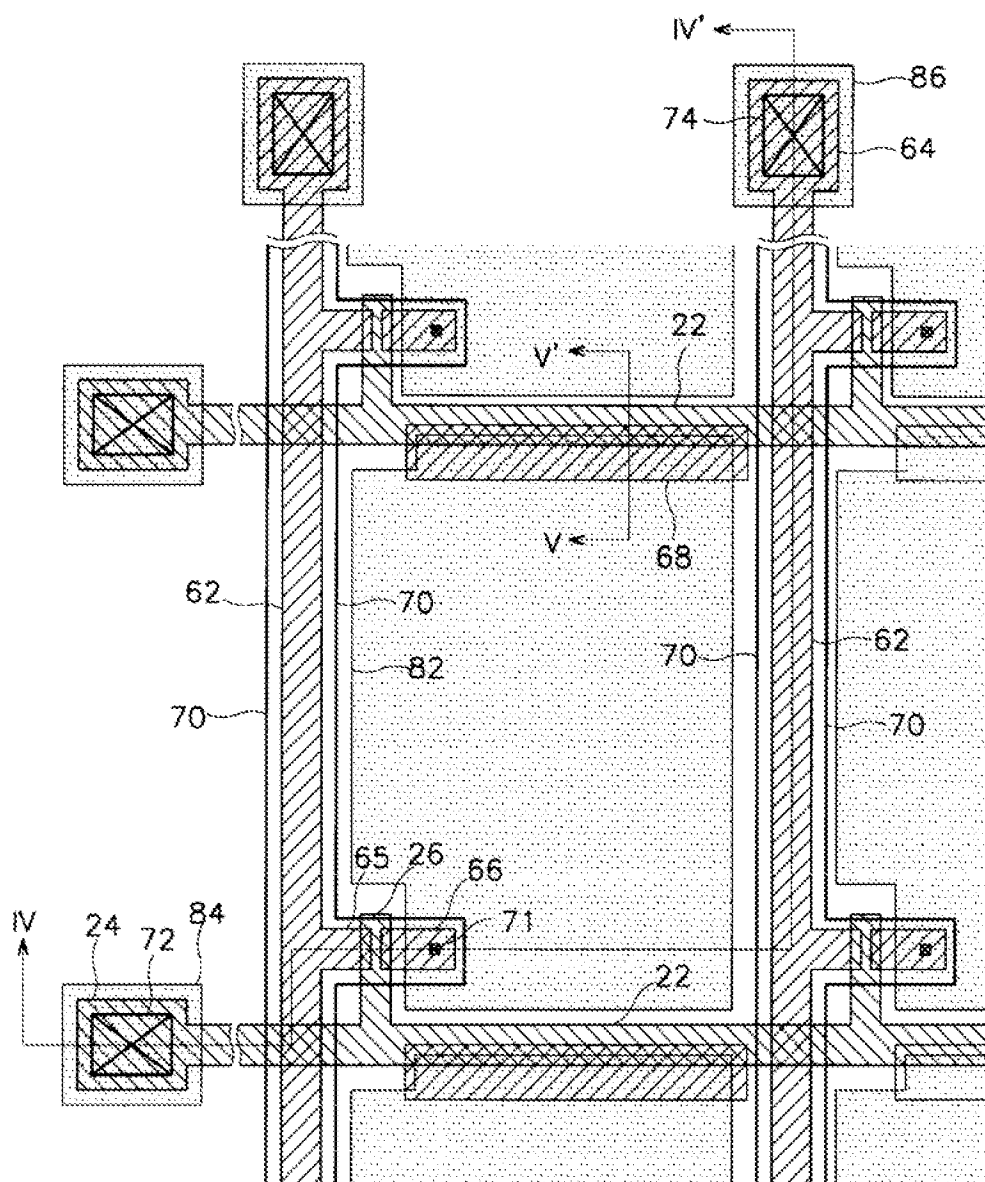
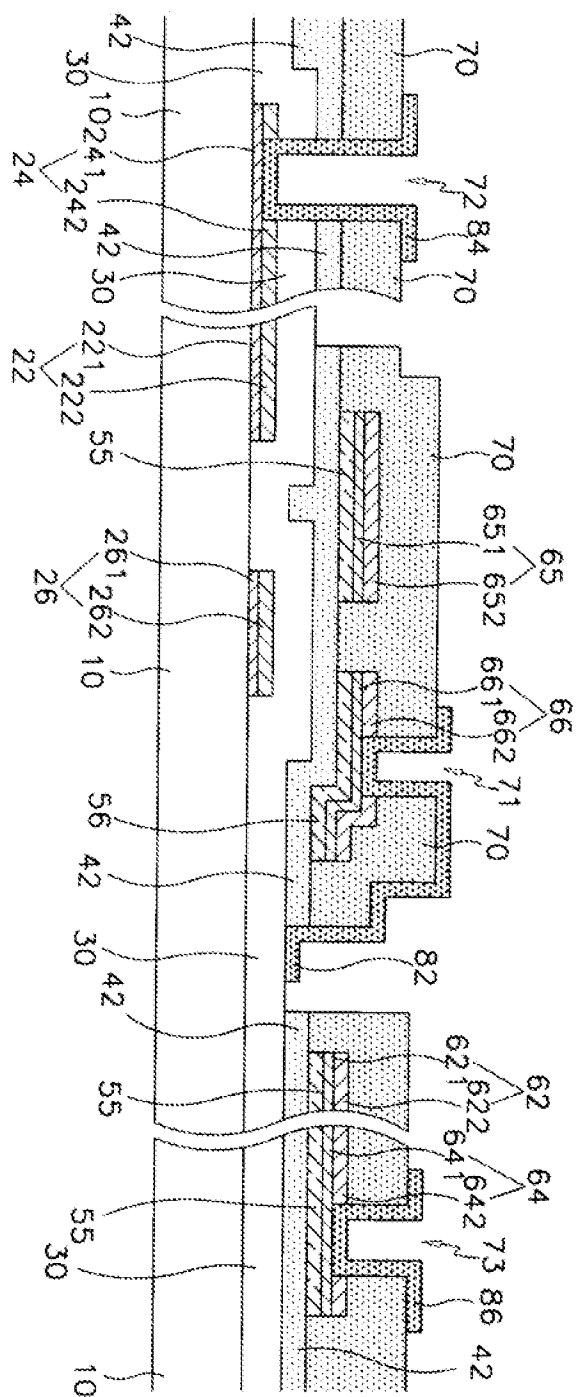


FIG 2









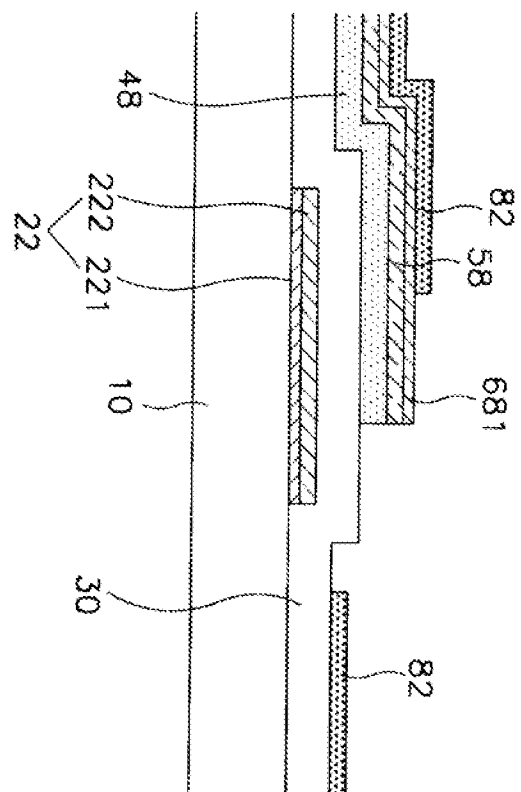
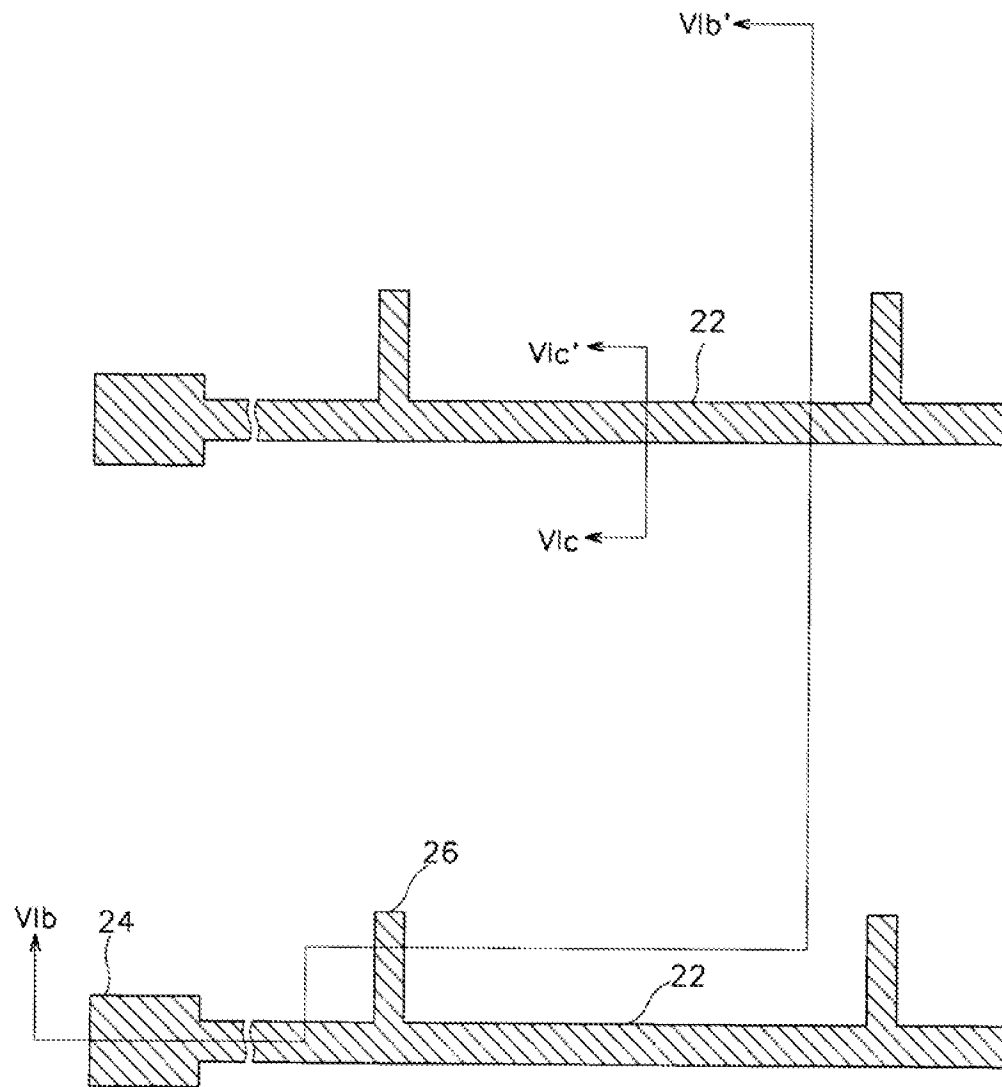


FIG 6a



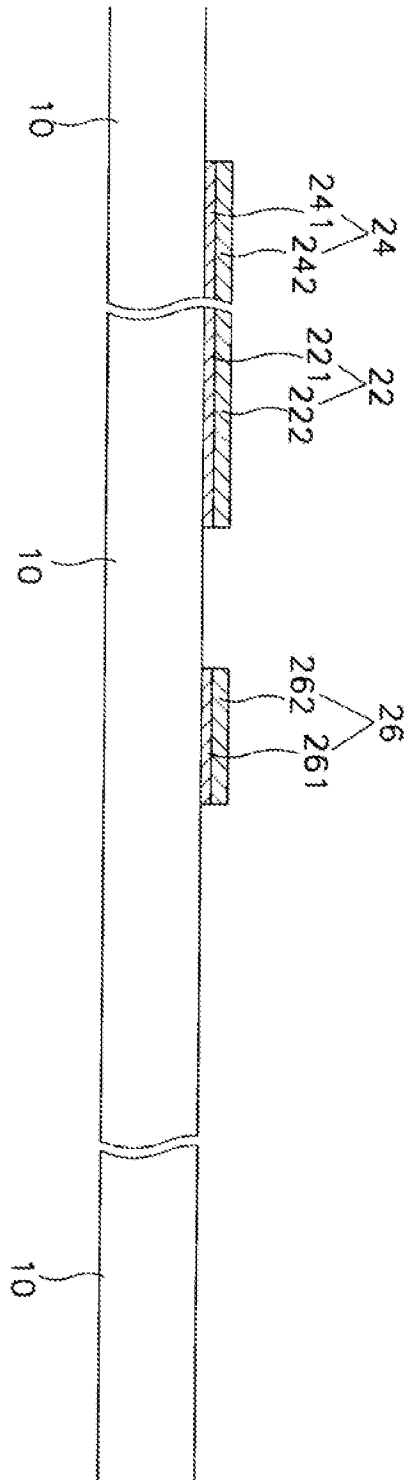


Fig 6c

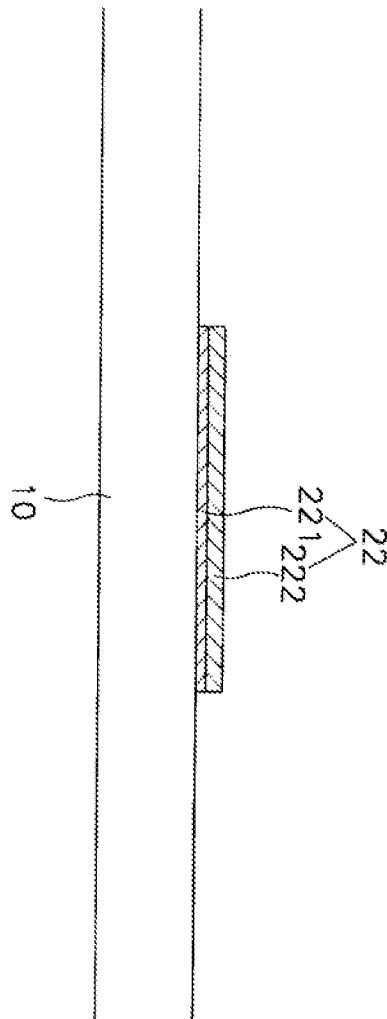
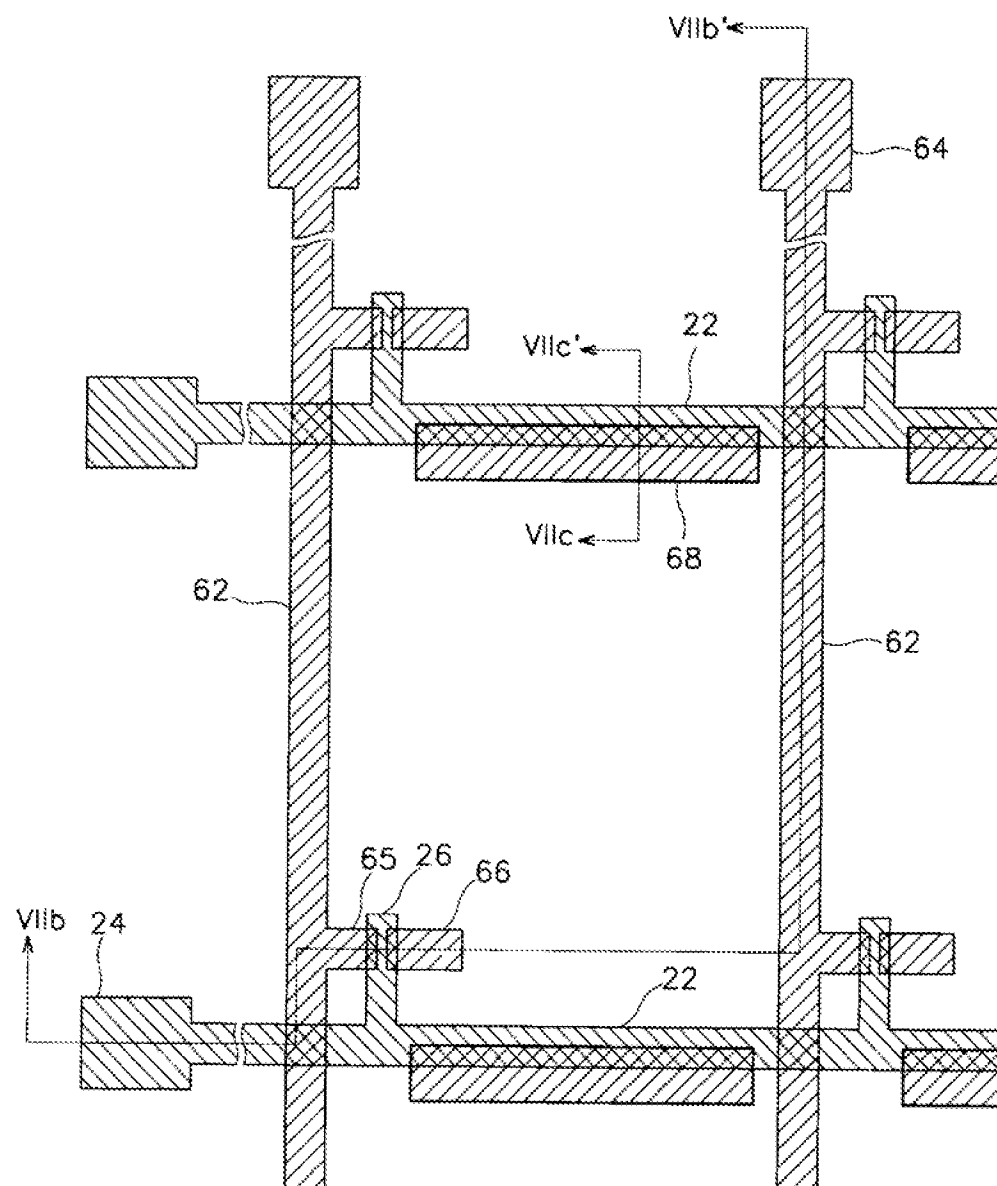


FIG 7a



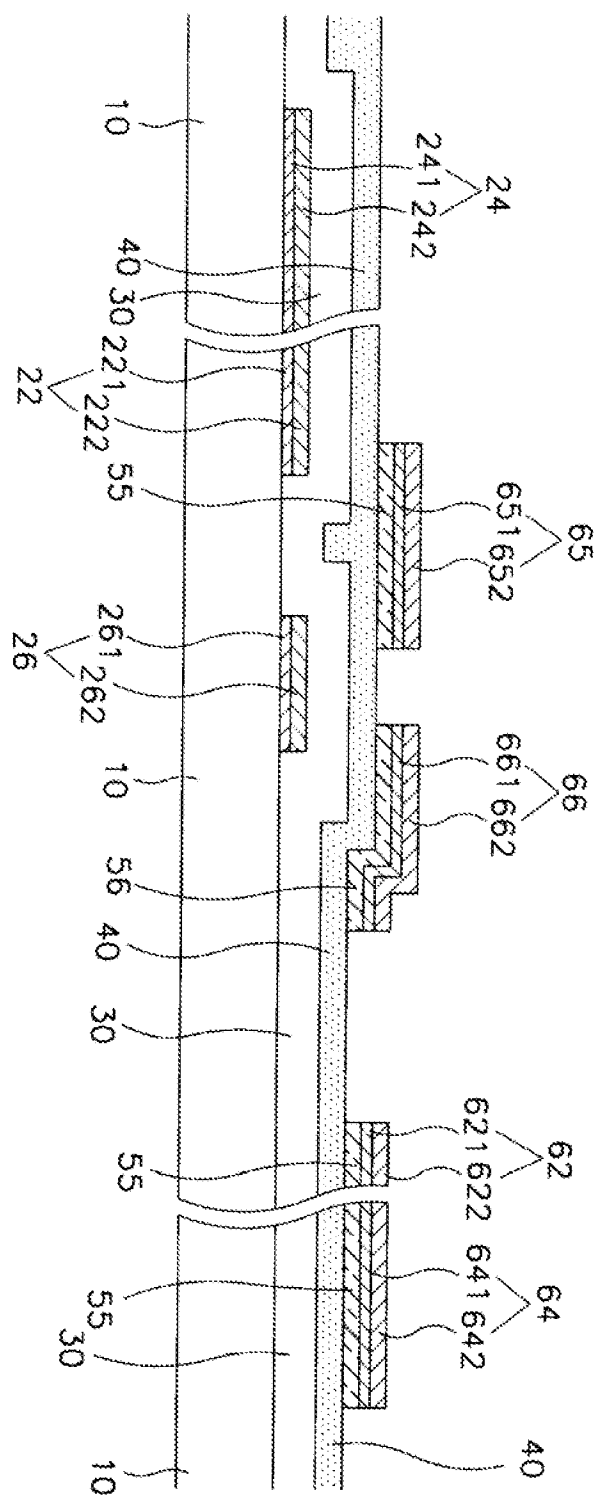


图 7c

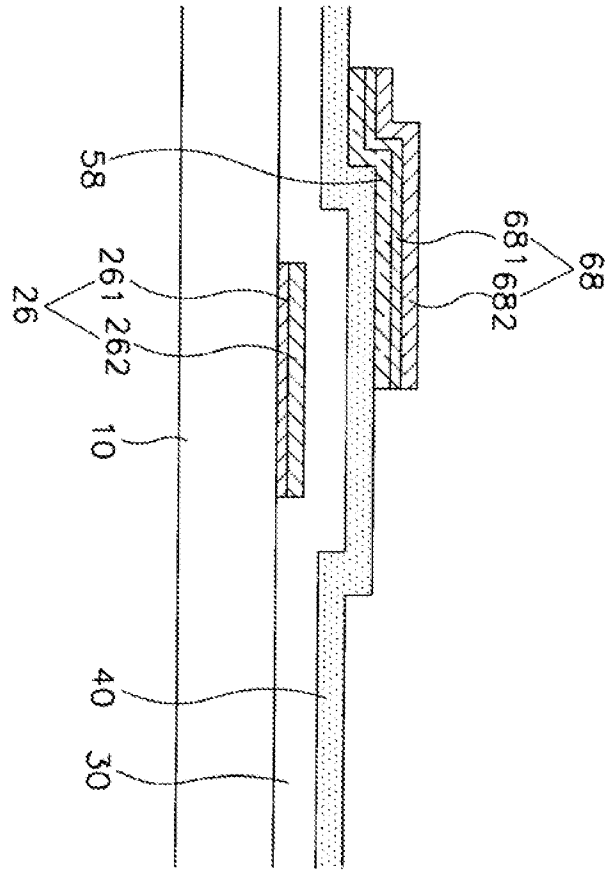
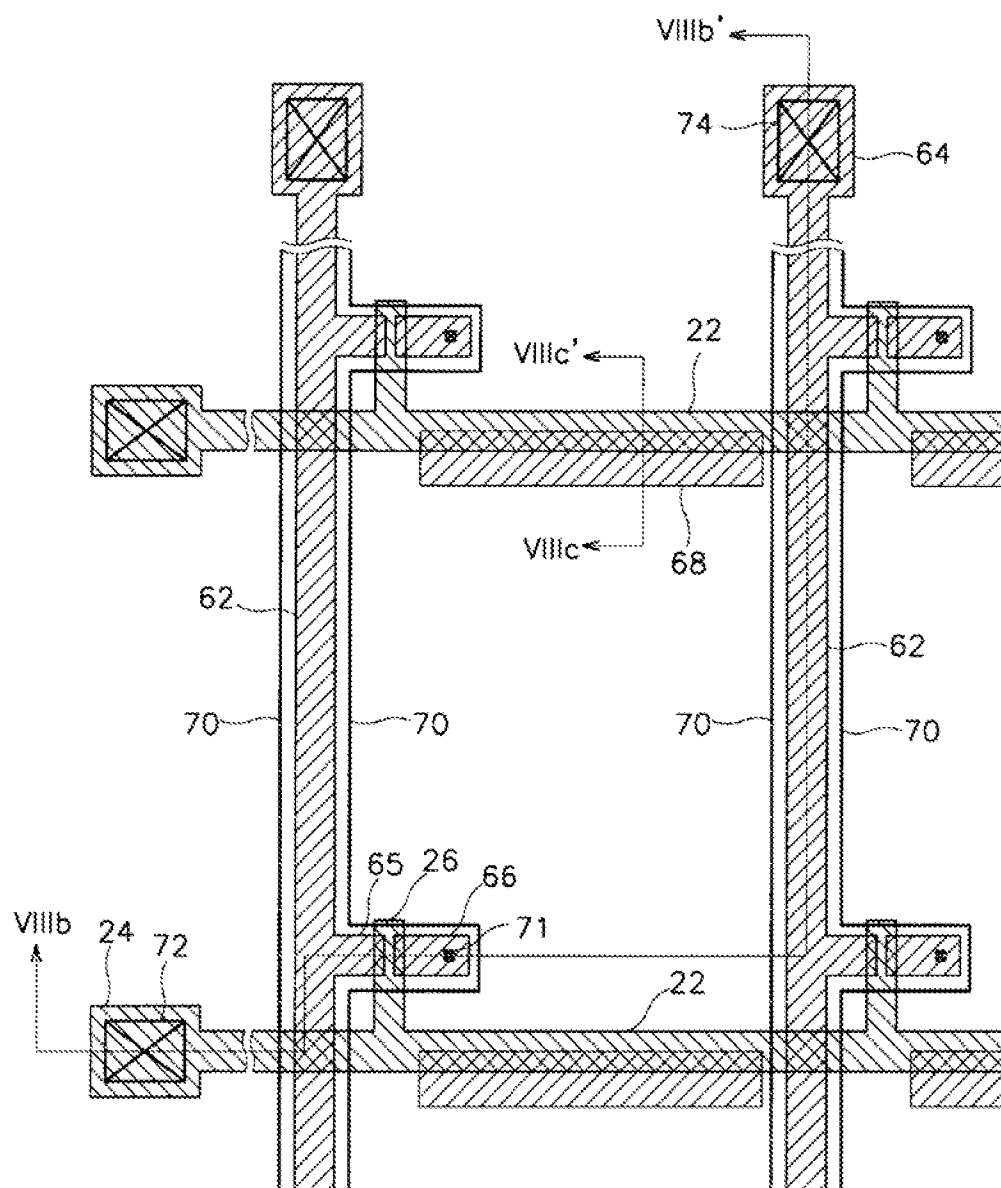


FIG 8a





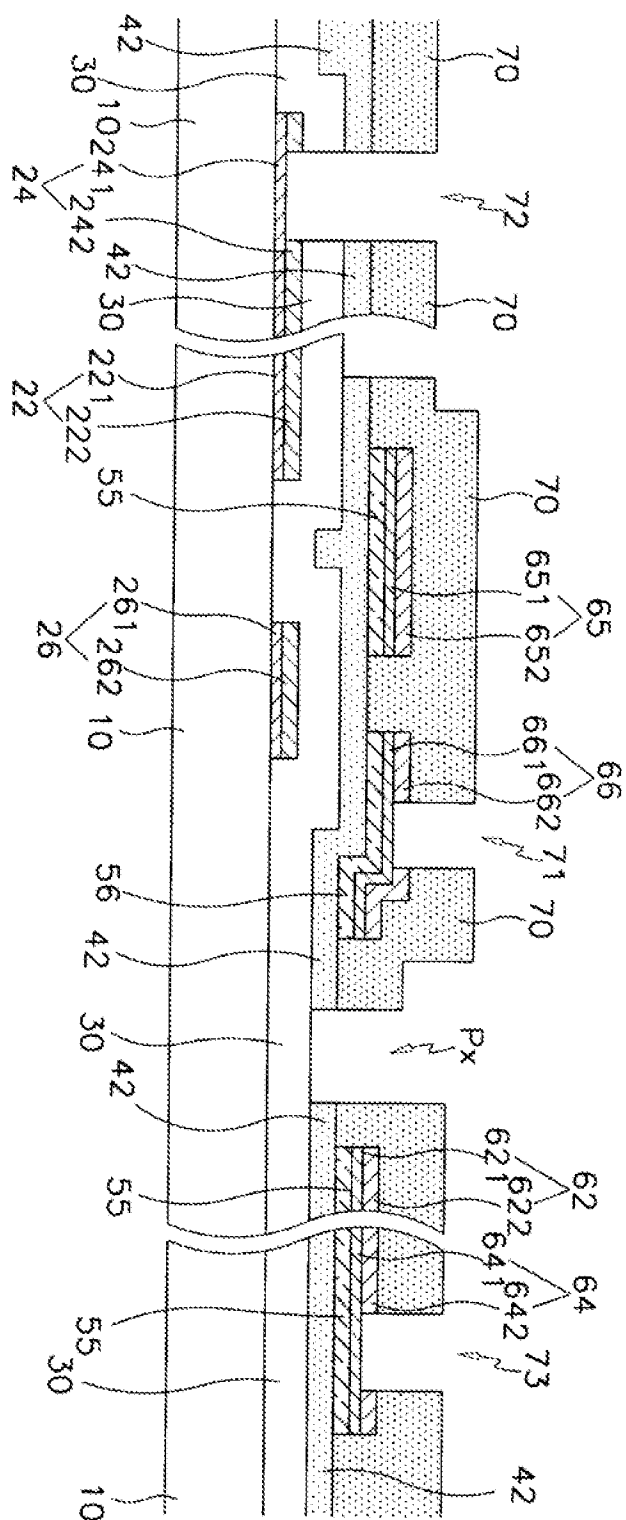
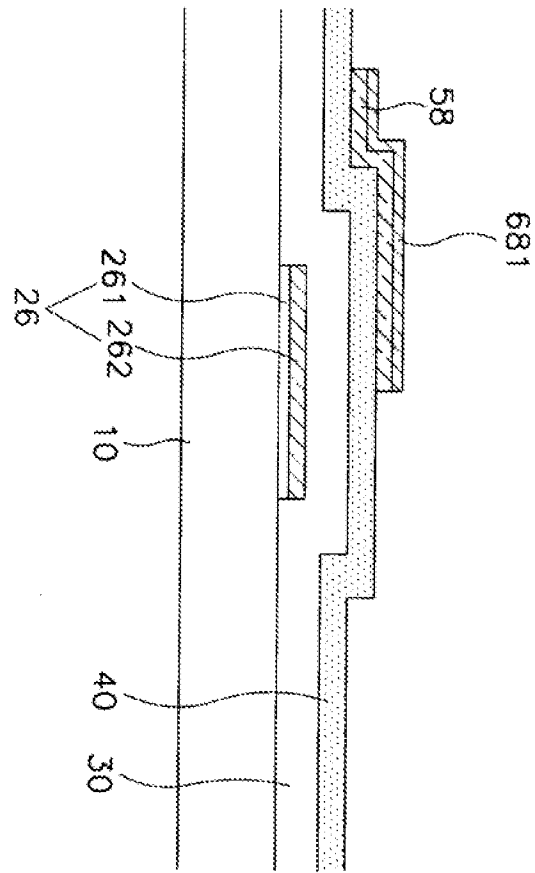


Fig. 8c



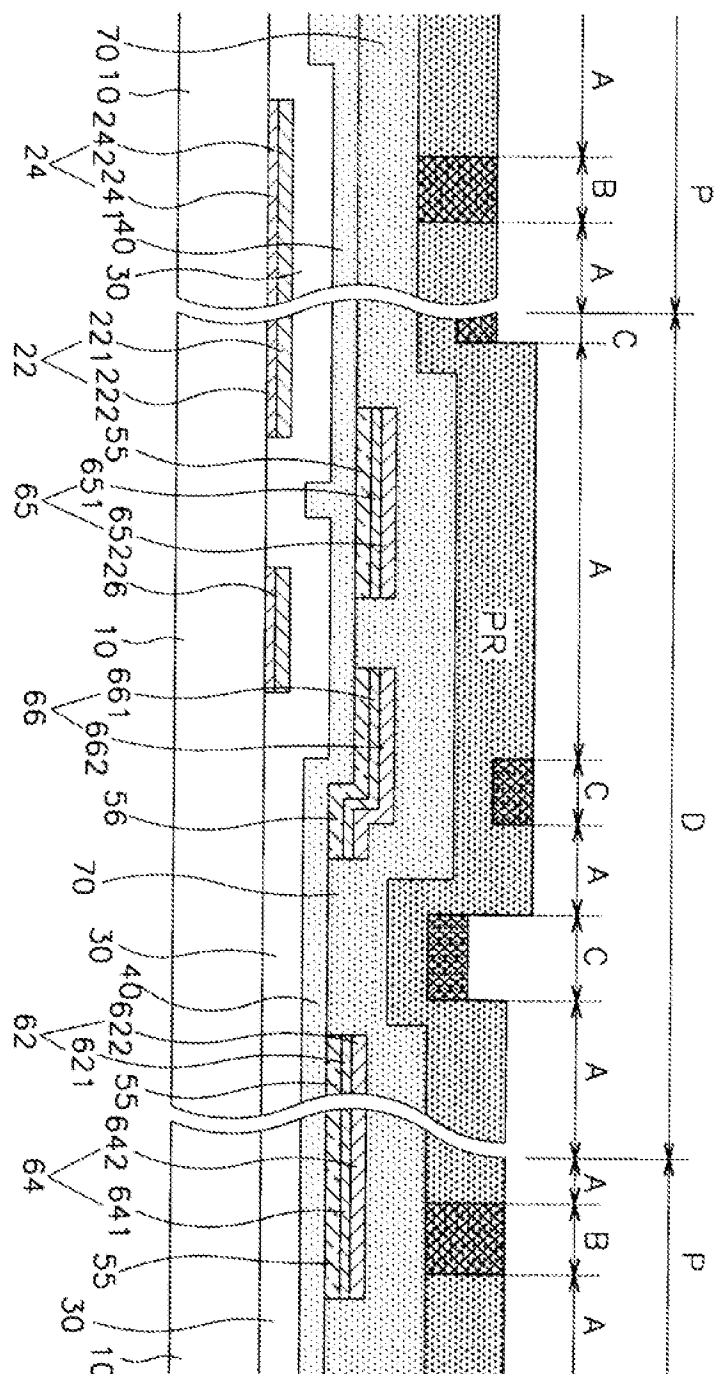
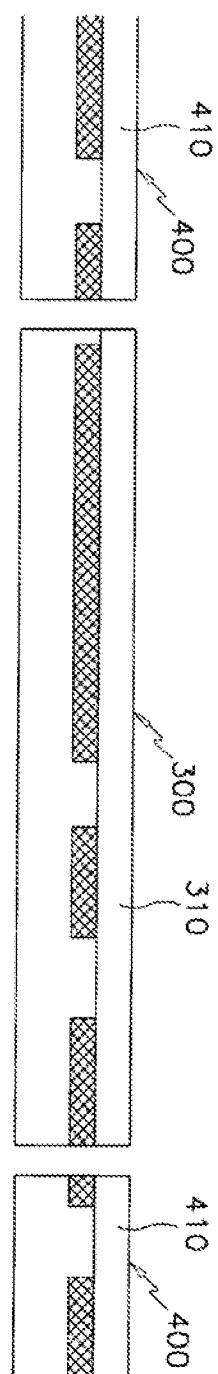


FIG 9b

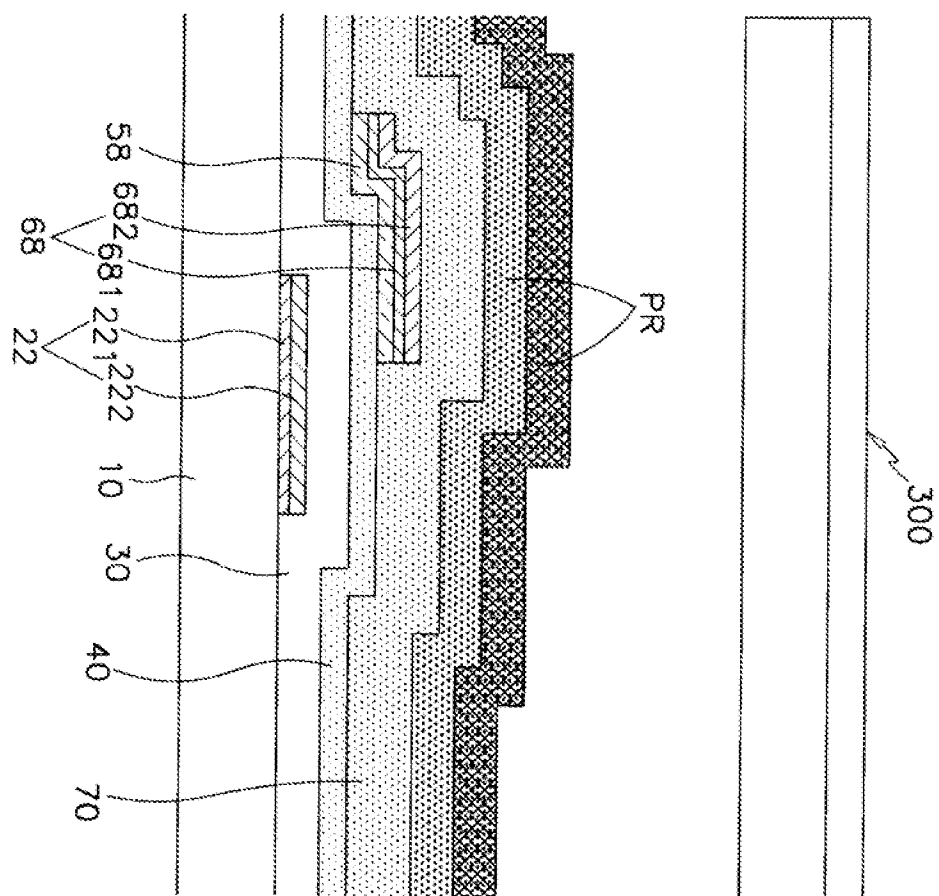


FIG 10a

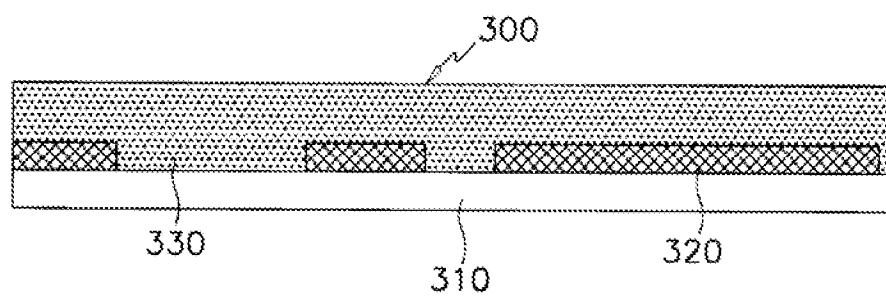
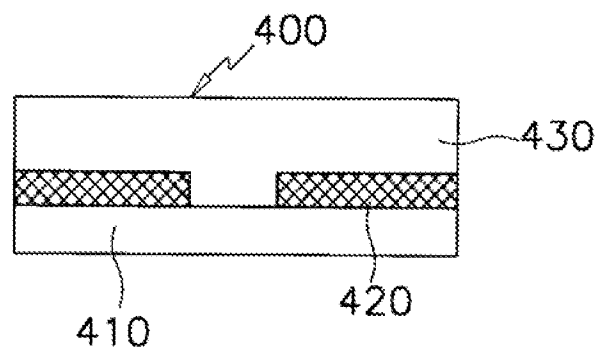
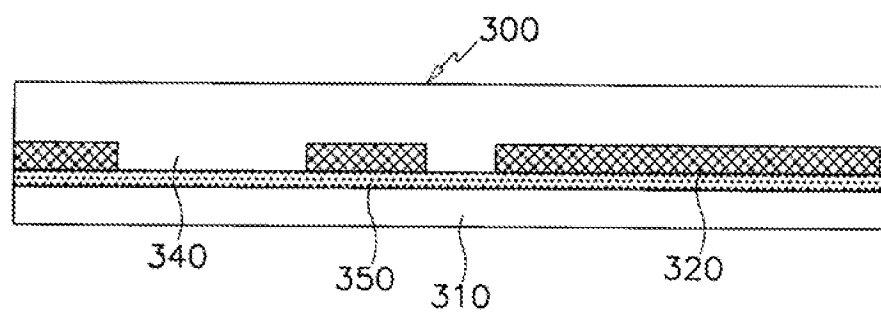


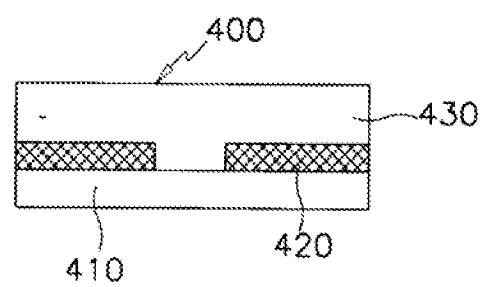
FIG 10b

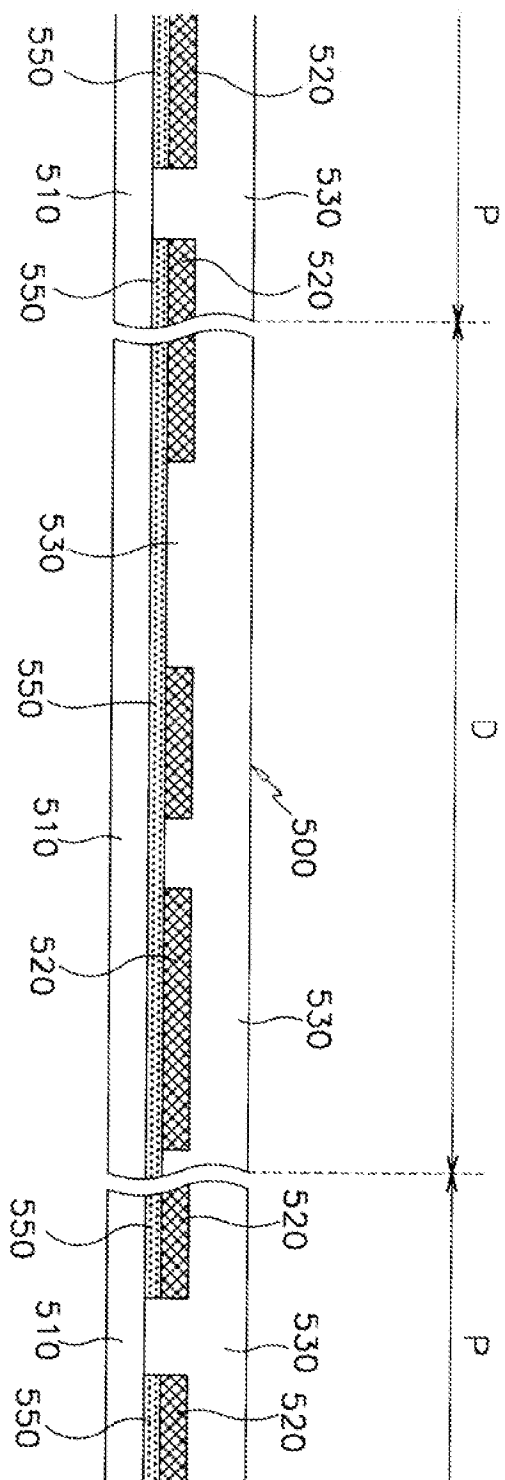


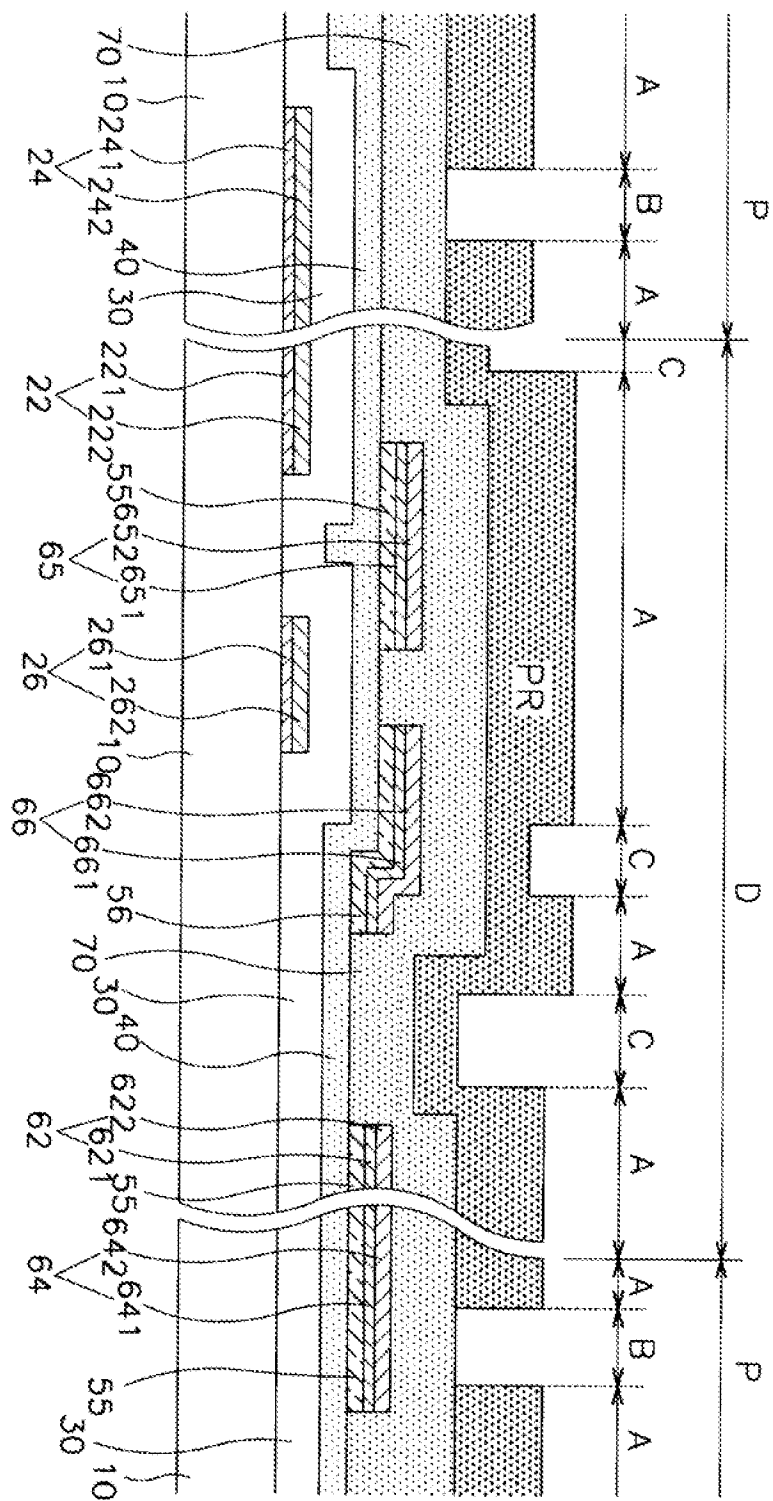
도면 11a

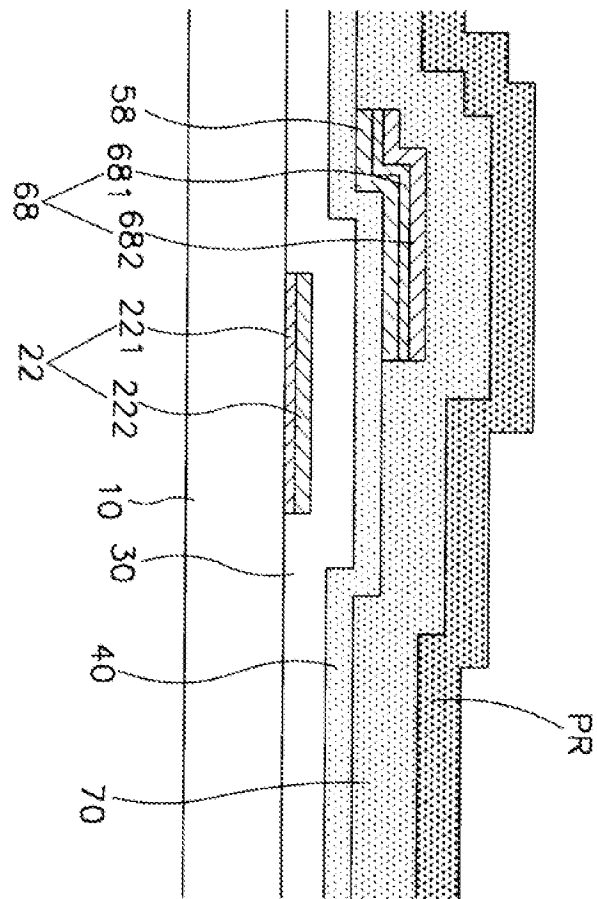


도면 11b

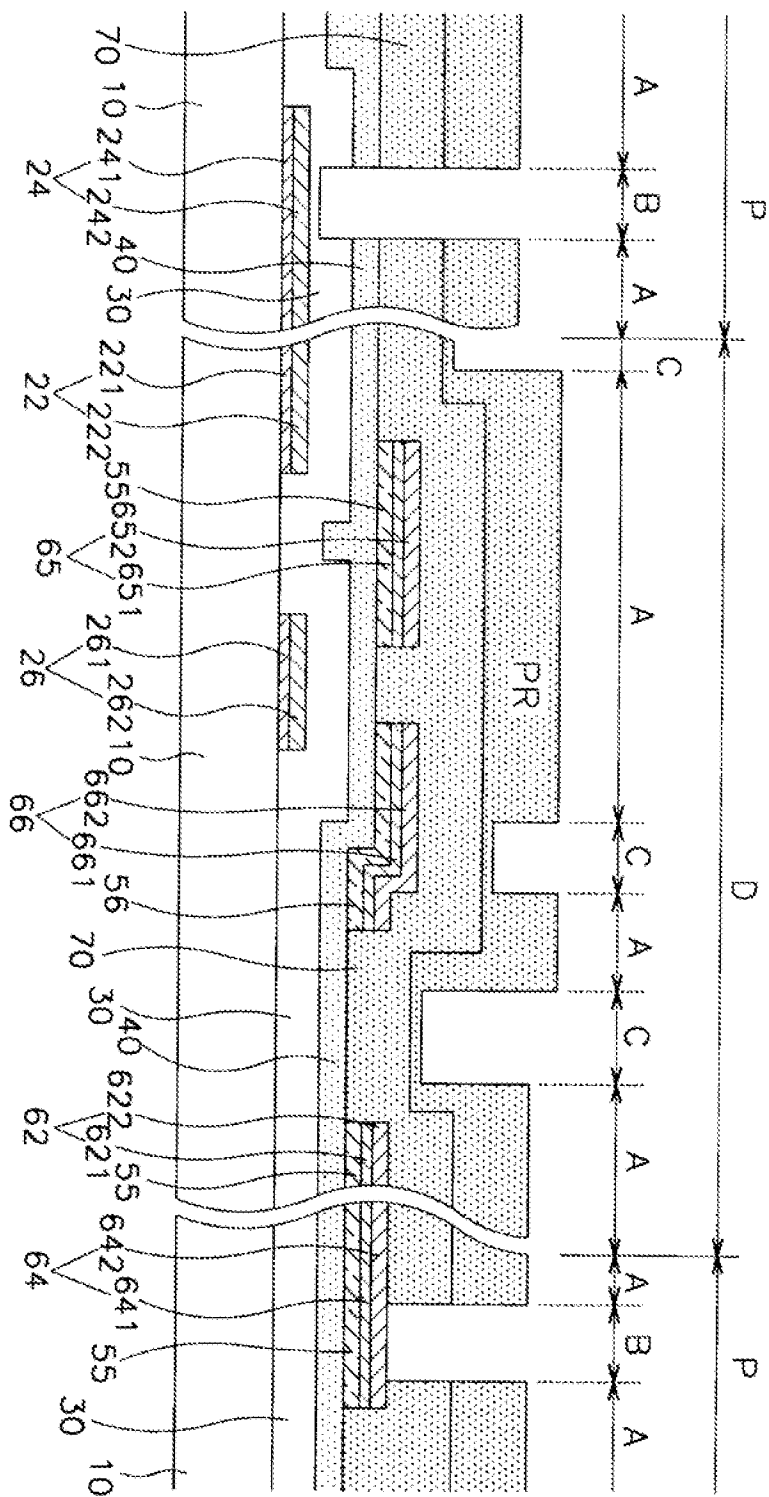


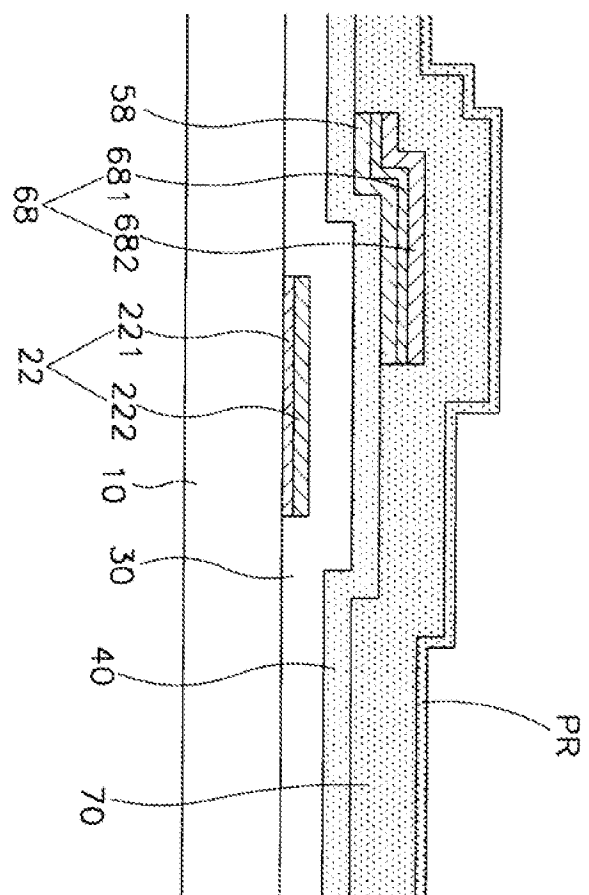


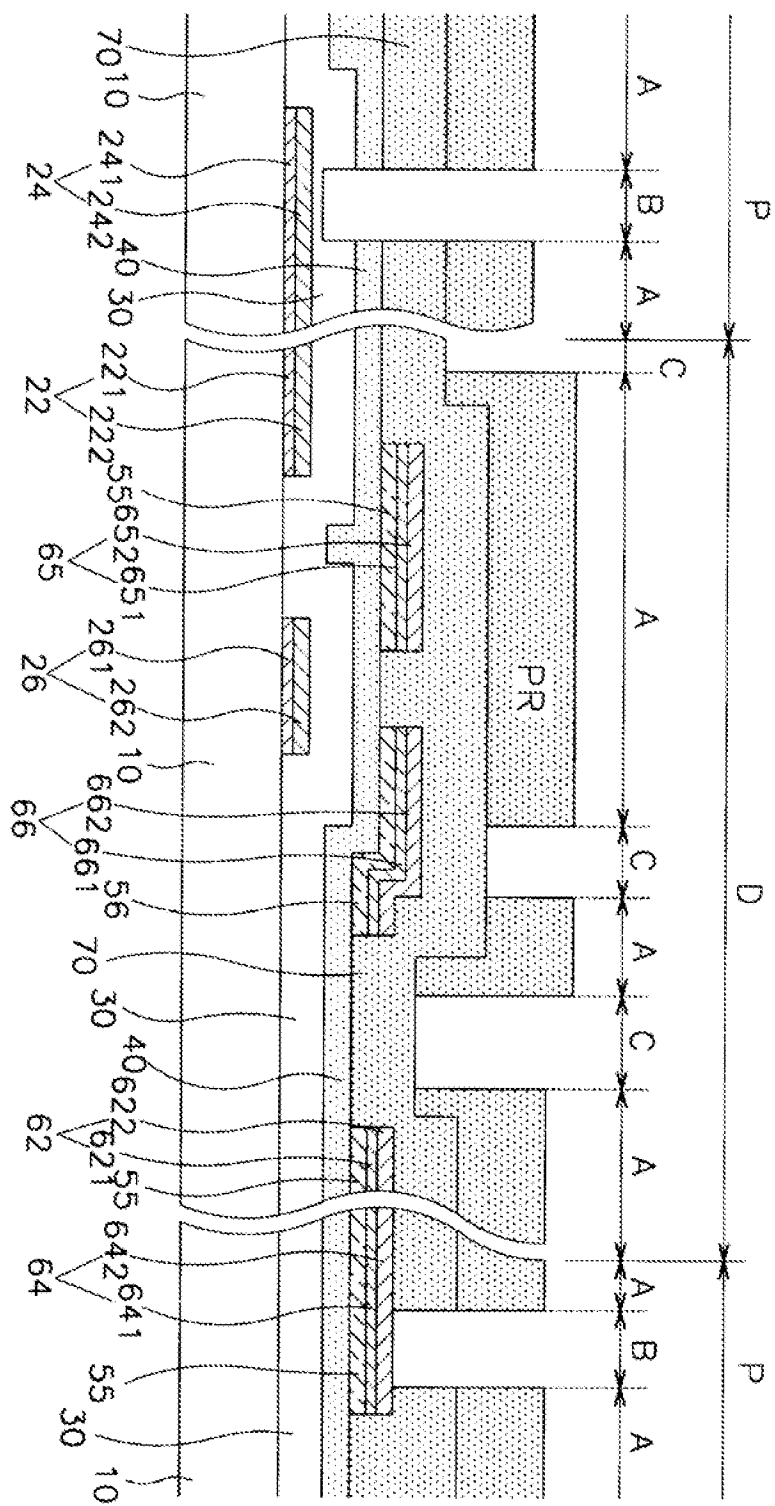


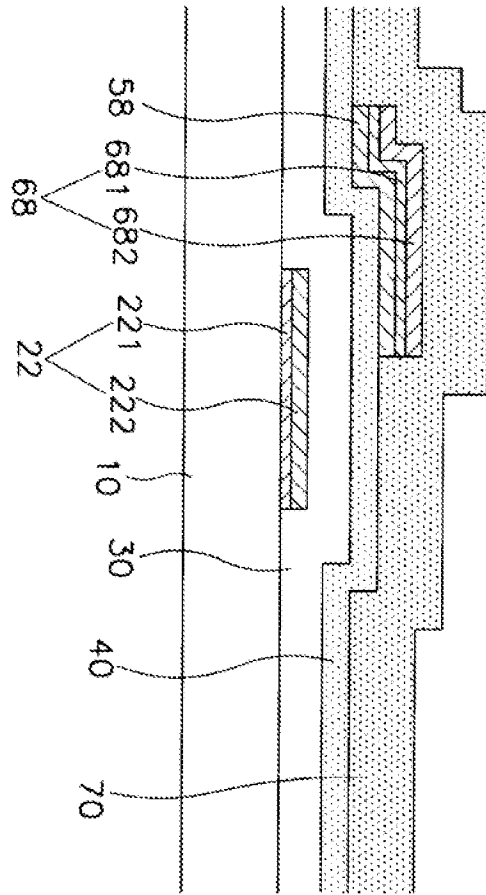


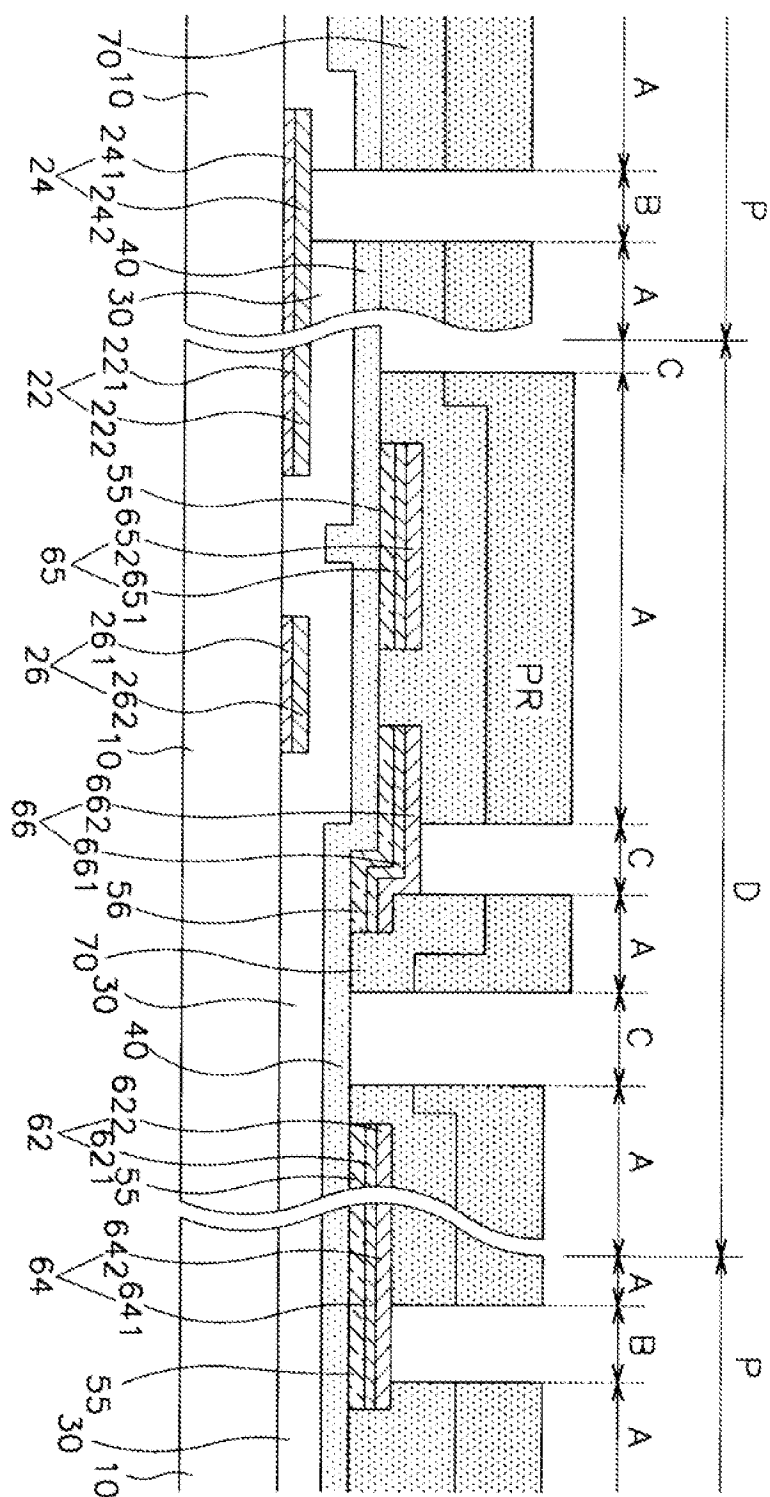












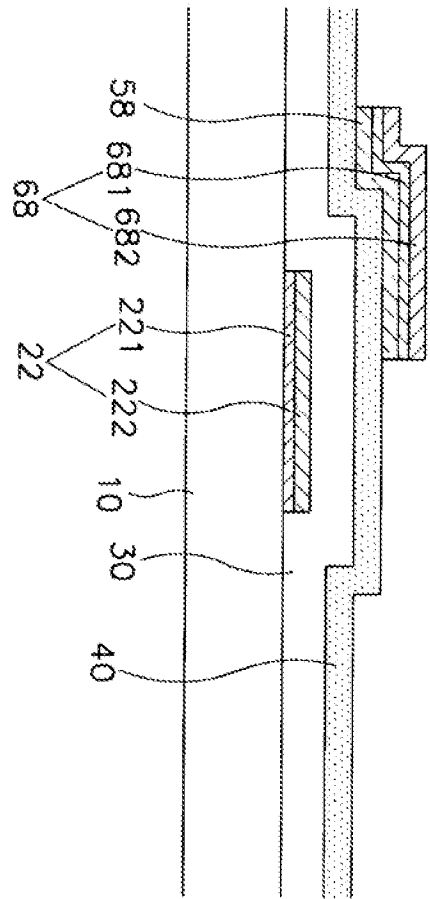


Fig. 17a

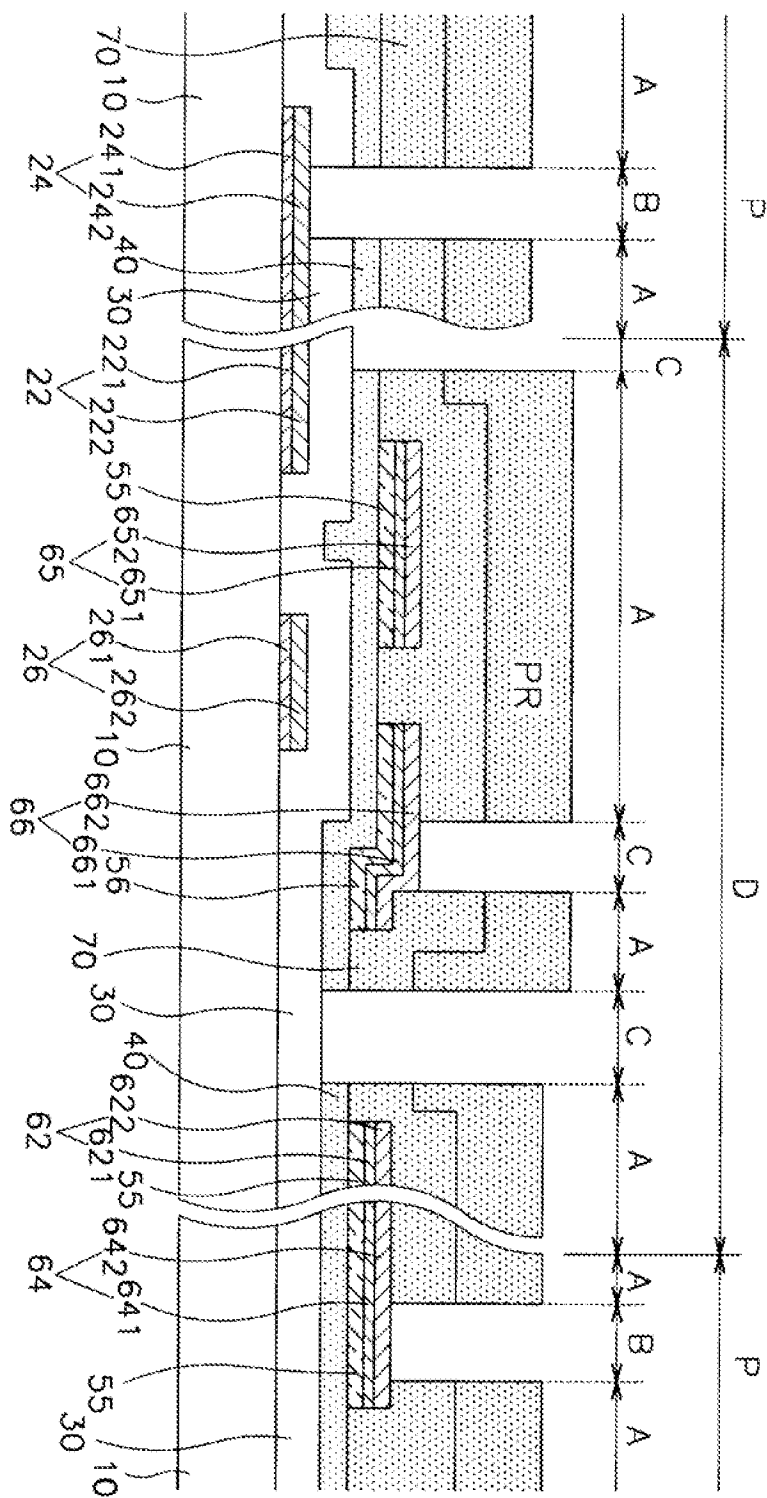


Figure 17b

